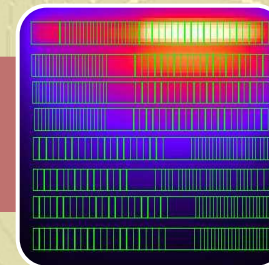
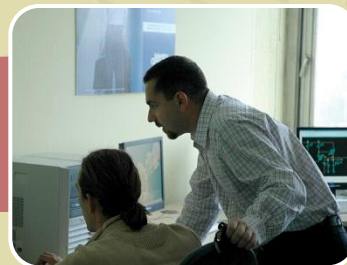
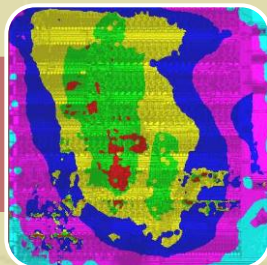
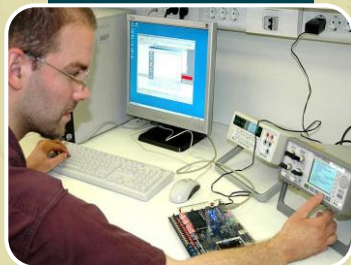


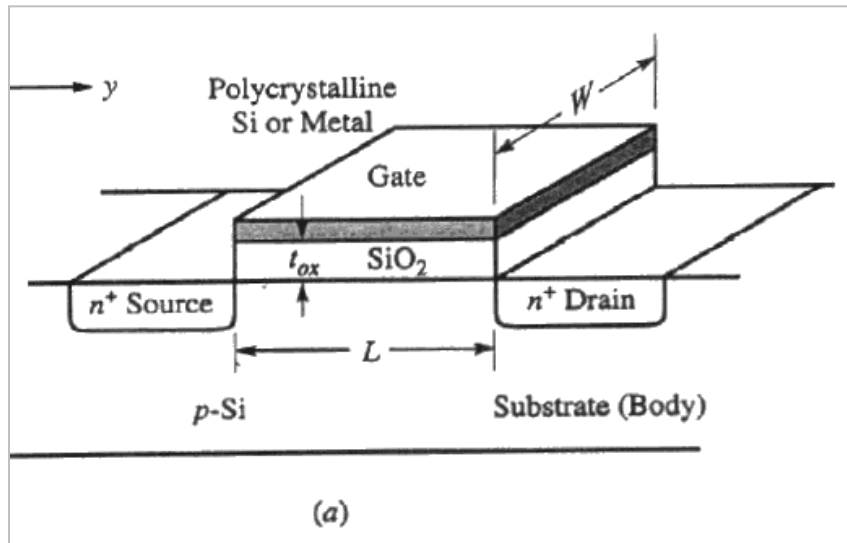
Budapesti Műszaki és  
Gazdaságtudományi  
Egyetem

## Elektronikus Eszközök Tanszéke

### A modern CMOS

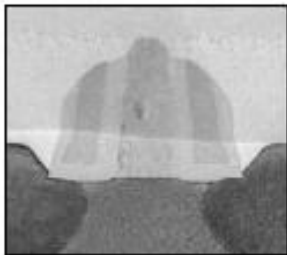


# A MOS tranzisztor



► Ezt tanultuk...

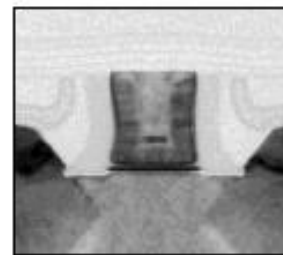
90 nm  
2003



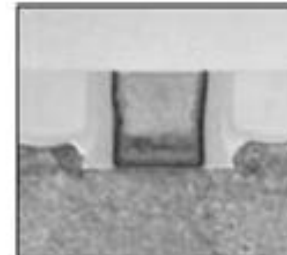
65 nm  
2005



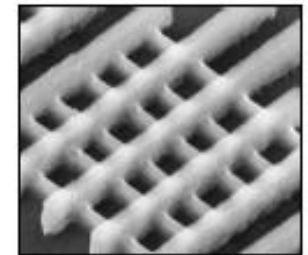
45 nm  
2007



32 nm  
2009



22 nm  
2011



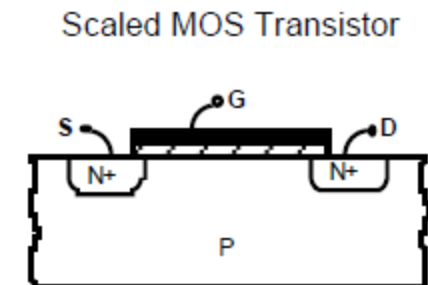
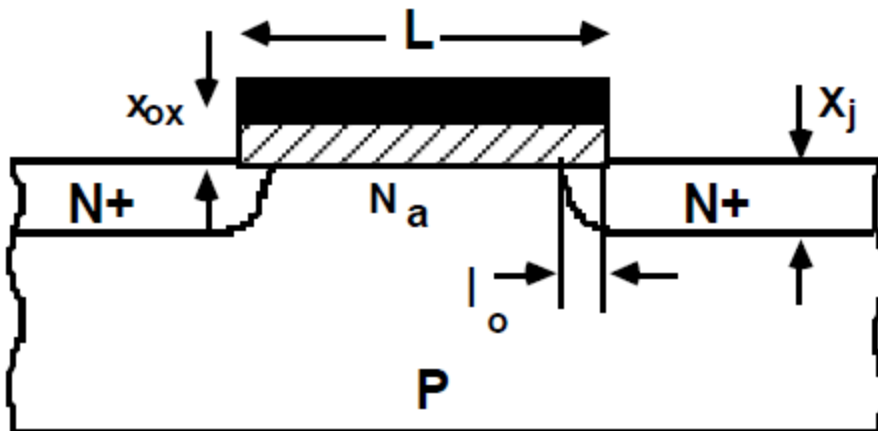
► Ez pedig a valóság...,  
2013 14nm.

# A MOS tranzisztor skálázása

## ► ugyanazt, „kicsiben”

- Mert így több logika fér el ugyanakkora helyen
- A tranzisztorok gyorsabbak lesznek, mivel a csatorna hossza rövidebb, így az órajel nagyobb lesz.
- Növelni kell a meredekséget, azaz a feszültségváltozásra bekövetkező áramváltozás nagyságát.

$$g_m = \frac{dI_d}{dV_{GS}} = \frac{W}{L} \frac{\mu_{eff}\epsilon}{t_{ox}} (V_{GS} - V_T)$$



# Az állandó térerősséget megtartó skálázás

## ► Dennard, 1974

- Minden geometriai méretet  $K$ -ad részére kell csökkenteni.
- Az alapszelet adalékolását  $K$ -szorosra kell növelni.
- A tápfeszültséget  $K$ -ad részére kell csökkenteni.

## ► Ebben az esetben

- Az órajel  $K$ -szorosára növelhető, hiszen a meredekség nem változik, de a kapacitások csökkennek.
- Egy kapu által disszipált teljesítmény  $K^2$  arányban csökken
- De felületegységként nem csökken a fogyasztás!

<u>Device/Circuit Parameter</u>		<u>Constant Field Scaling Factor</u>
Dimension :	$x_{ox}, L, W, X_j,$	$1/K$
Substrate doping :	$N_a$	$K$
Supply voltage :	$V$	$1/K$
Supply current :	$I$	$1/K$
Gate Capacitance :	$W L/x_{ox}$	$1/K$
Gate delay :	$C V / I$	$1/K$
Power dissipation :	$C V^2 / \text{delay}$	$1/K^2$



# A valóság egy picit máshogy alakult

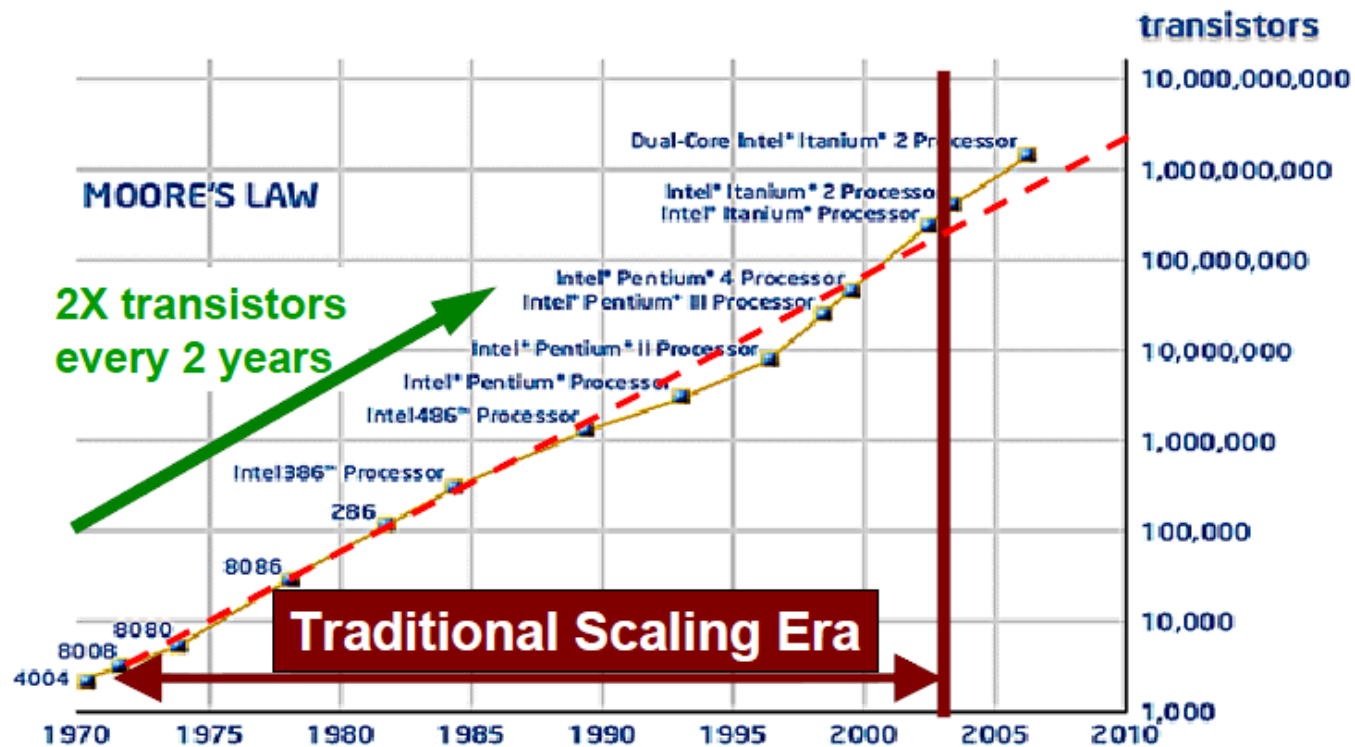
- ▶ A tápfeszültséget egy bizonyos határon túl nem lehet csökkenteni.
- ▶ Így a fogyasztás elkezdett növekedni.
  - Egy processzor esetén kb. 130W TDP a határ, ami a gyakorlatban konvencionális eszközökkel ( hűtőborda + ventilátor) kezelhető.
- ▶ 100nm tájékán előtérbe kerültek olyan fizikai jelenségek, amelyek addig elhanyagolhatóak voltak...
  - Küszöb alatti áram
  - Tunneláram
- ▶ Elfogyott a gate-oxid! Az atomokat már nem lehet darabolni...

<u>PARAMETER</u>	<u>1970</u>	<u>1980</u>	<u>1990</u>	<u>2000</u>	<u>2006</u>
Channel length ( $\mu\text{m}$ )	10	4	1	0.18	0.1
Gate oxide (nm)	120	50	15	4	1.5
Junction depth ( $\mu\text{m}$ )	>1	0.8	0.3	0.08	0.02-0.03
Power supply voltage	12	5	3.3 - 5	1.5-1.8	0.6-0.9



# A geometriai skálázás véget ért... kb. 2003-ban

## 40+ Years of Moore's Law at INTEL: From Few to Billions of Transistors

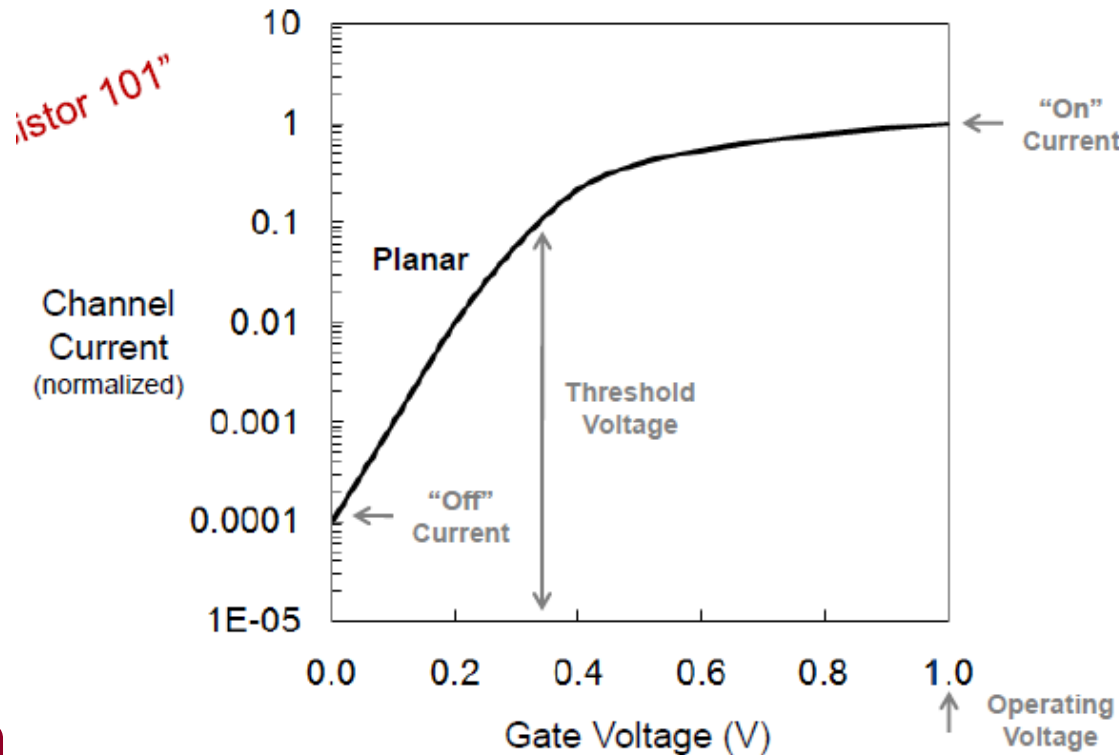


**END OF TRADITIONAL SCALING ERA ~ 2003**  
**Lasted ~40 YEARS**



# Küszöb alatti áram

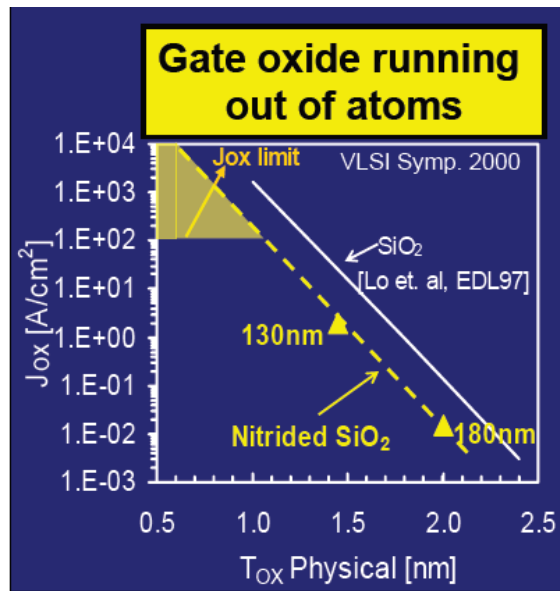
- ▶ A küszöbfeszültség alatt az áram közel exponenciálisan csökken.
- ▶  $I_D \sim e^{(U_{GS}-V_T)/nU_T}$
- ▶ Amíg a küszöbfeszültség 1V, a 26mV-os termikus feszültség igen kis áramot eredményez 0V-os vezérlésnél...
- ▶ De 200mV-hoz képest a 26mV már nem annyira elhanyagolható...





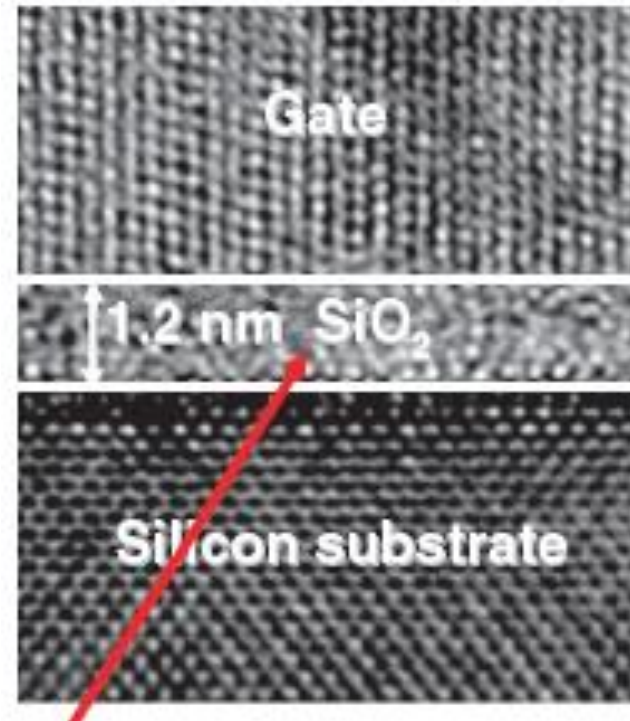
# Tunneláram, a gate oxidon keresztül...

- ▶ Ha az oxid szélessége 1nm környéki (ez a gyakorlatban 5 (öt!) atomsor, az elektronok „átalagutaznak” az oxid potenciálgátján.
  - Kvantummechanikai effektus...
  - Az áthaladás valószínűsége exponenciális csökken a potenciálgát szélességével. Így a „normál” szélességű tranzisztoroknál ez mérhetetlenül kicsi volt.



- **Gate Oxide Leakage direct tunneling limited**

T. Ghani et. al. V



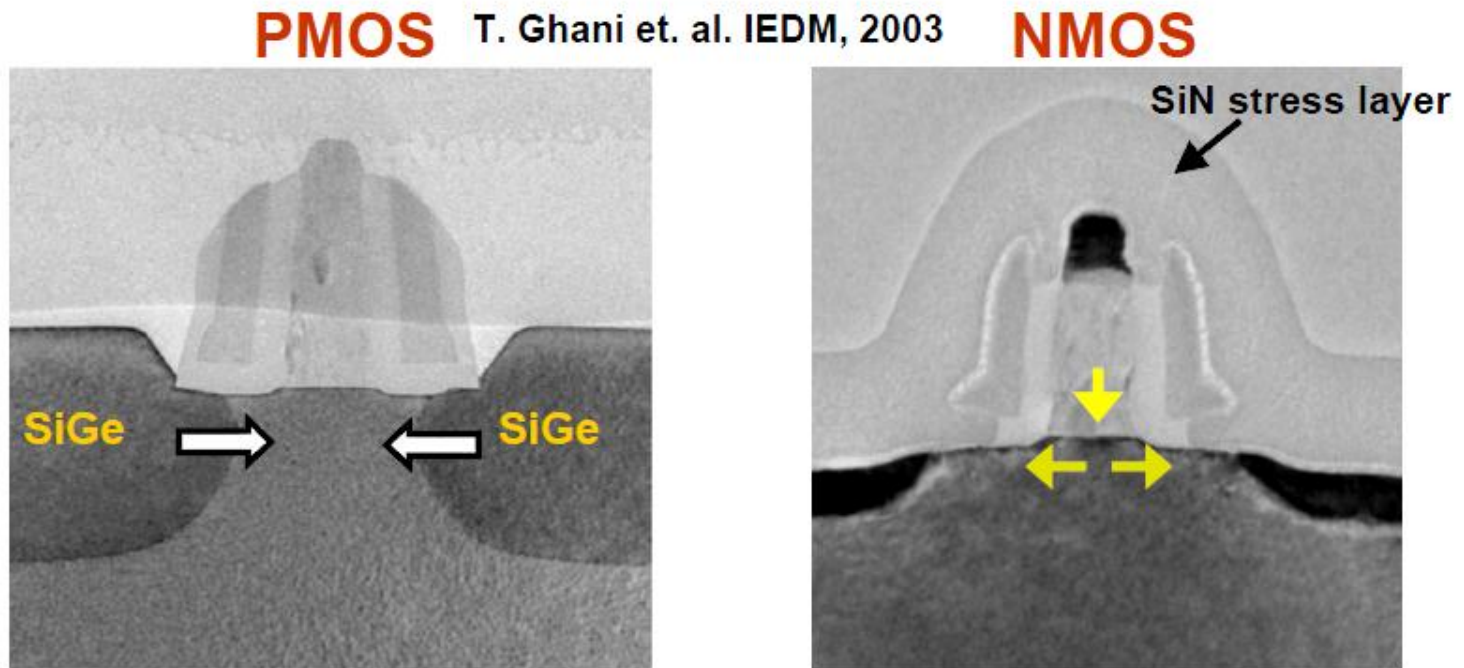


# Új utak keresése

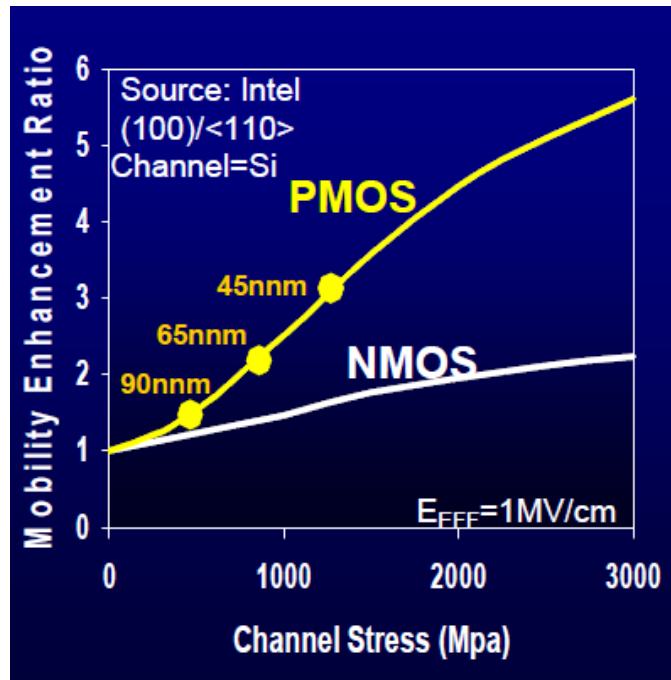
- ▶ A küszöbfeszültséget tehát már nem lehet csökkenteni a szivárgás miatt.
- ▶ Az oxid szélességét sem lehet csökkenteni az alagútáram miatt.
- ▶ 
$$g_m = \frac{W}{L} \frac{\mu_{eff} \epsilon}{t_{ox}} (V_{GS} - V_T)$$
- ▶ Megoldások
  - A mozgékonyág növelése
  - SiO<sub>2</sub> helyett nagyobb dielektromos állandójú anyag keresése.
  - Ismét fémből készített gate
    - A kezdetek kezdetén a gate elektróda alumíniumból készült, majd ezt cserélték le poliszilíciumra.
  - Ezeket a módszereket egyszerre vetették be, azaz gyorsabb és kevésbé szivárgó tranzisztort készítettek.

# Feszített szilícium

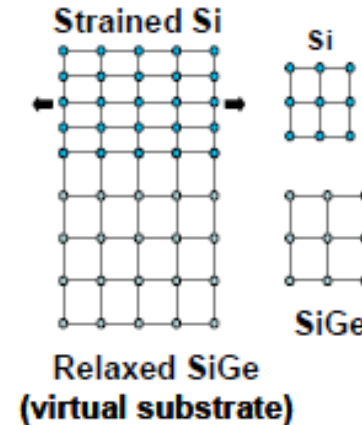
- ▶ Mechanikai feszültség hatására a kristályrácsban az atomok távolsága megváltozik.
- ▶ Növekvő távolság az elektronok mozgékonyását növeli, az „összenyomott” rácsban pedig a lyukak lesznek mozgékonyabbak.



# A feszített szilícium



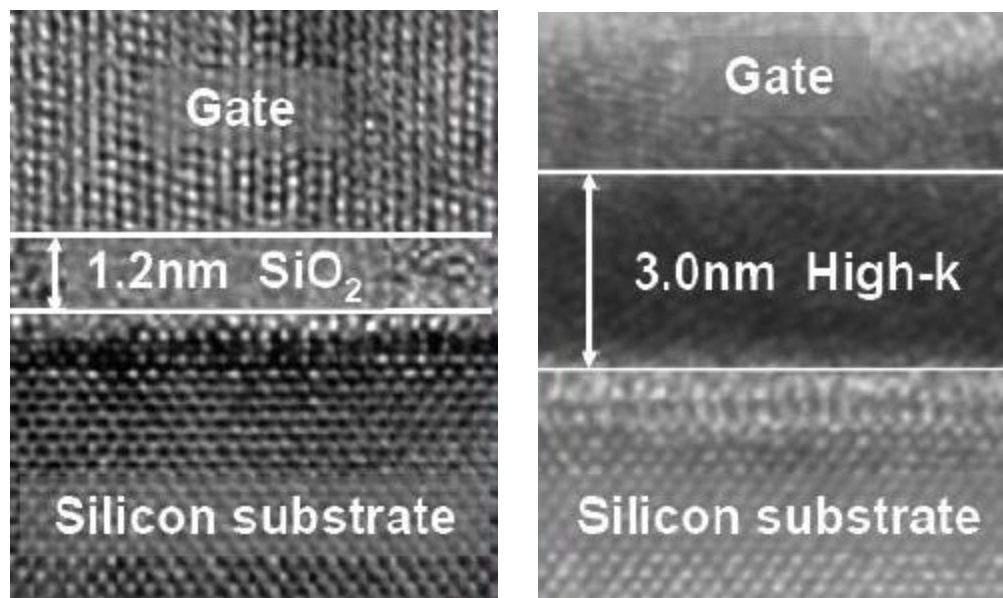
$$g_m = \frac{W}{L} \frac{\mu_{eff} \epsilon}{t_{ox}} (V_{GS} - V_T)$$



- ▶ pMOS esetén SiGe epitaxiális réteget alakítanak ki, ennek rácsállandója nagyobb, mint a Si-é
- ▶ Ezáltal a csatornát „összenyomja”.
- ▶ nMOS esetén SiN „sapka” kerül a tranzisztorra, ami feszíti szét a csatornát...
- ▶ A lyukmozgékonyosság igen jól növelhető...
  - nézzük pl. a 45nm technológiát, ha az ábra helyes, a lyukmozgékonyosság 3×, az elektronmozgékonyosság 1,5×. Azaz ugyanabban a méretben ennyivel meredekebb a tranzisztor!
  - A pMOS – nMOS kb. egyforma szélességű az inverterben, azaz nem kell kb. kétszeresére méretezni a pMOS tranzisztort.

# High – K gate anyagok

- ▶ Magyarul nagy relatív dielektromos állandóval rendelkező anyagok
- ▶ A gate szigetelő szélessége nem csökkenthető a tunnelláram miatt.
- ▶ Ha az oxid helyett más, nagyobb relatív dielektromos állandójú anyagot használnak, az áram és a meredekség növelhető, vagy azonos meredekség mellett az szigetelő szélessége nagyobb lehet, ezáltal a tunnelláram töredékére csökken.



Azaz a tranzisztor több mint másfélszeresére gyorsul, miközben a szivárgási áram századrésze esik vissza.

	SiO <sub>2</sub>	High - K
$C = \epsilon/t$	1×	1,6×
tunneláram	1×	< 0,01

# High – K gate anyagok

Anyag	$\epsilon_r$
SiO <sub>2</sub>	3,9
Si <sub>3</sub> N <sub>4</sub>	7,5
ZrO <sub>2</sub>	23
HfO <sub>2</sub>	20

- ▶ A szigetelő réteget atomsorról atomsorra építik.
  - Ez az ún. ALD, atomic layer deposition.
- ▶ Kevert és titkos anyagösszetételeket alkalmaznak
  - Az Intel pl. csak annyit közöl, hogy „hafnium based”
    - Pl. HfSiON (nitrided hafnium silicates)
  - Az előző ábra adataiból a nagy dielektromos állandójú anyagra:
  - $\frac{\epsilon_x}{3} = 1,6 \frac{\epsilon_{ox}}{1,2}$ , azaz kb. a szilícium-dioxid dielektromos állandójának négyszerese.

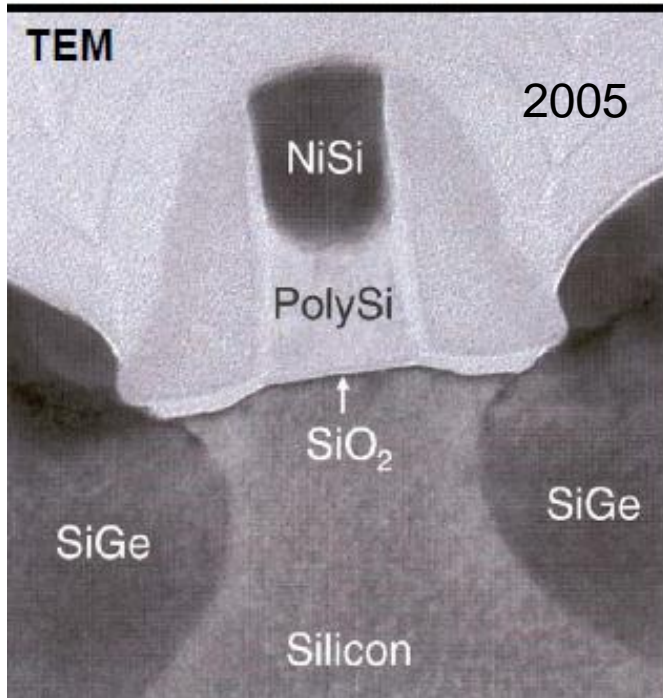
# Fém gate elektróda

- ▶ A küszöb feszültség egy MOS szerkezetben függ többek között
  - az alkalmazott anyagok kilépési munka különbségétől.
  - a csatornába implantált adalék mennyiségétől
  - a félvezető – szigetelő határfelület töltéseitől.
- ▶ Kezdetben alumíniumot alkalmaztak, majd polikristályos szilíciumot gate elektróda céljaira.
  - Poli Si esetén a kilépési munka különbség elhanyagolható.
    - A pontos küszöb feszültséget ionimplantációval állítják be.
  - Hi-K anyagok esetén a határfelület nem olyan, mint Si-SiO<sub>2</sub> esetén
  - Az ionimplantáción alapuló küszöb feszültség beállítás a kis méretek miatt lehetetlen, hiszen a csatornába szükséges ionok száma már nem statisztikai nagyságrendű, hatalmas szórást mutat
  - Emiatt fémet használnak gate anyagnak és a küszöb feszültséget a fém anyagi minőségének (az „ötvözet” összetételének változtatásával állítják be.)

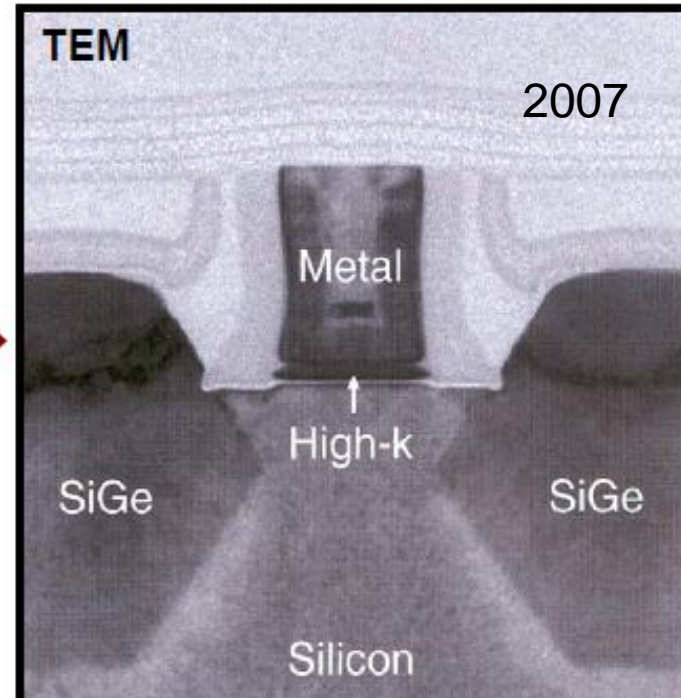


# Feszített Si, High-K és metal gate tranzisztorok

65 nm Transistor



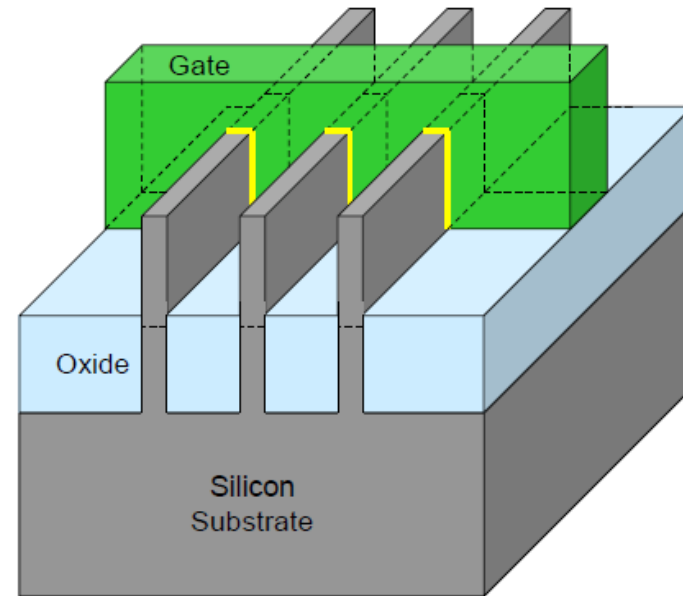
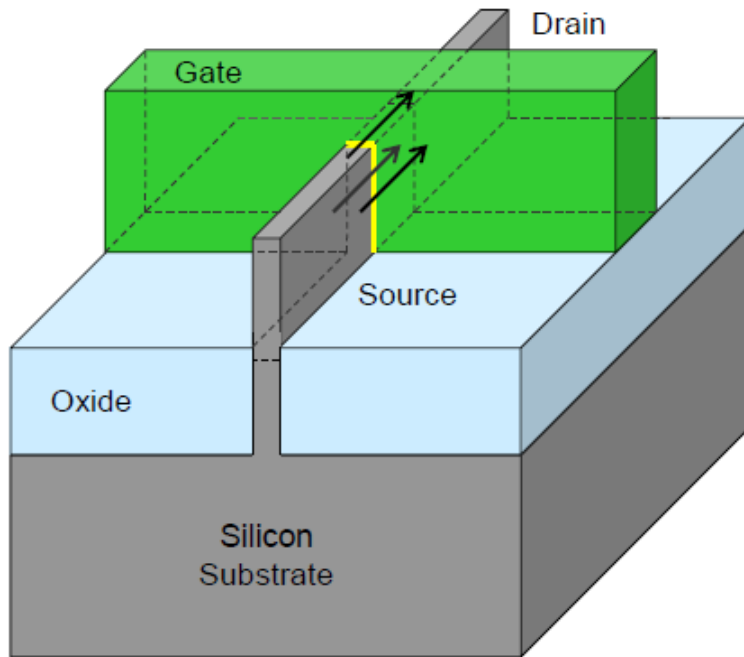
45 nm HK + MG



- ▶ 1/25 részére csökkent a gate tunnel árama
- ▶ 33%-al kisebb teljesítmény
- ▶ Azonos tápfeszültség mellett 30%-al gyorsabb tranzisztorok vagy (nyilván csökkentett tápfeszültségnél) kb. 5× kisebb küszöbfeszültség alatti áram.



# Multigate-FET, Tri-gate tranzisztor



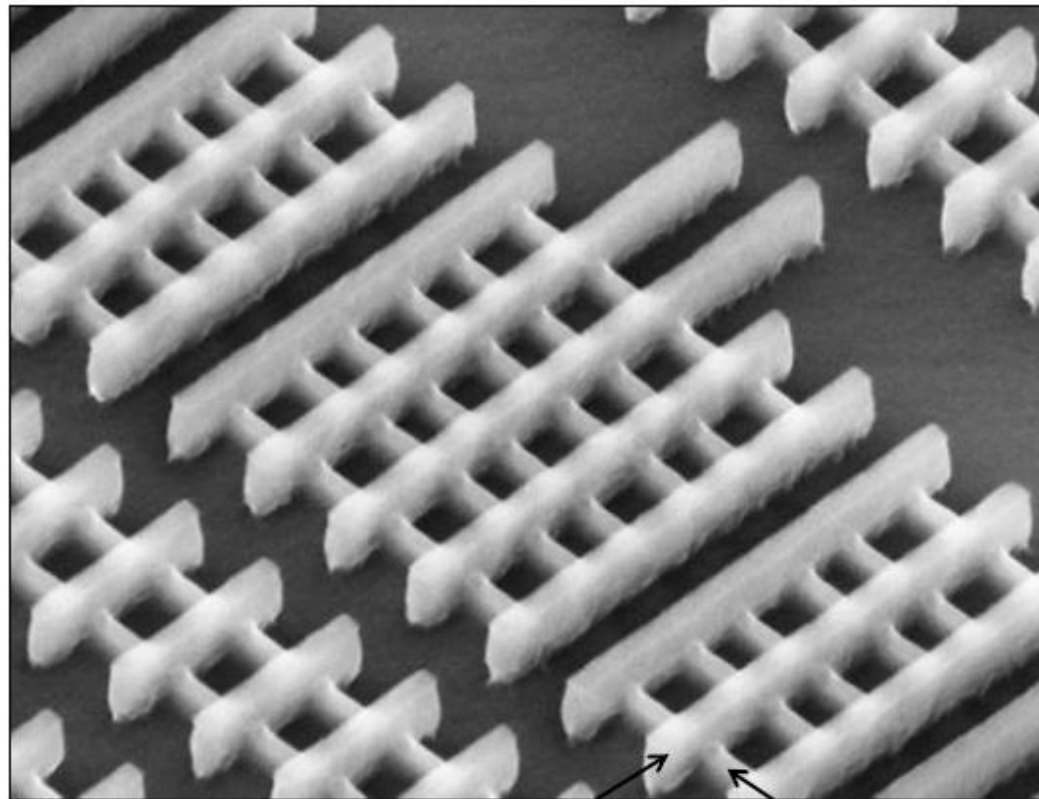
## ► Valódi háromdimenziós felépítés.

- A vezetés a kiemelkedő vékony rétegben történik, amelyet a gate elektróda körülöleli
- Így az inverziós réteg is három oldalon van jelen, innen az elnevezés
- Nagyon kis méretben gyártható.
- Nagyobb W/L arány eléréséhez több tranzisztor kapcsolható párhuzamosan.

# 22nm tri-gate tranzisztor

► Intel Ivy Bridge platform, 2011-

## 22 nm Tri-Gate Transistor

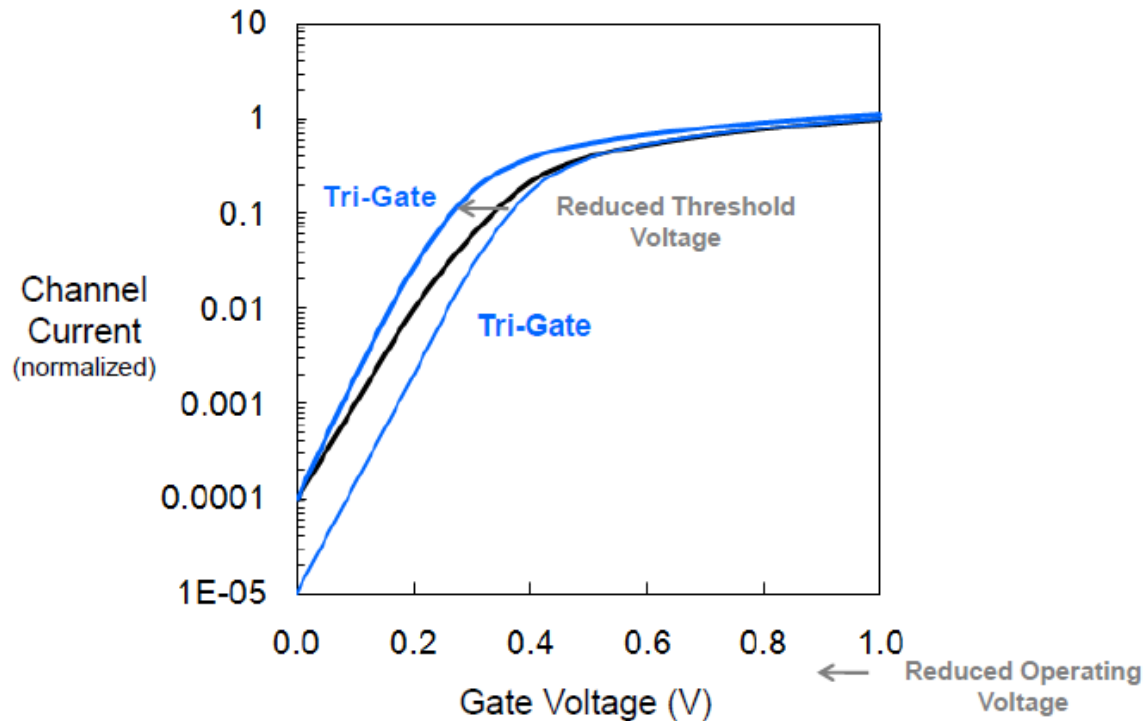


Gates

Fins

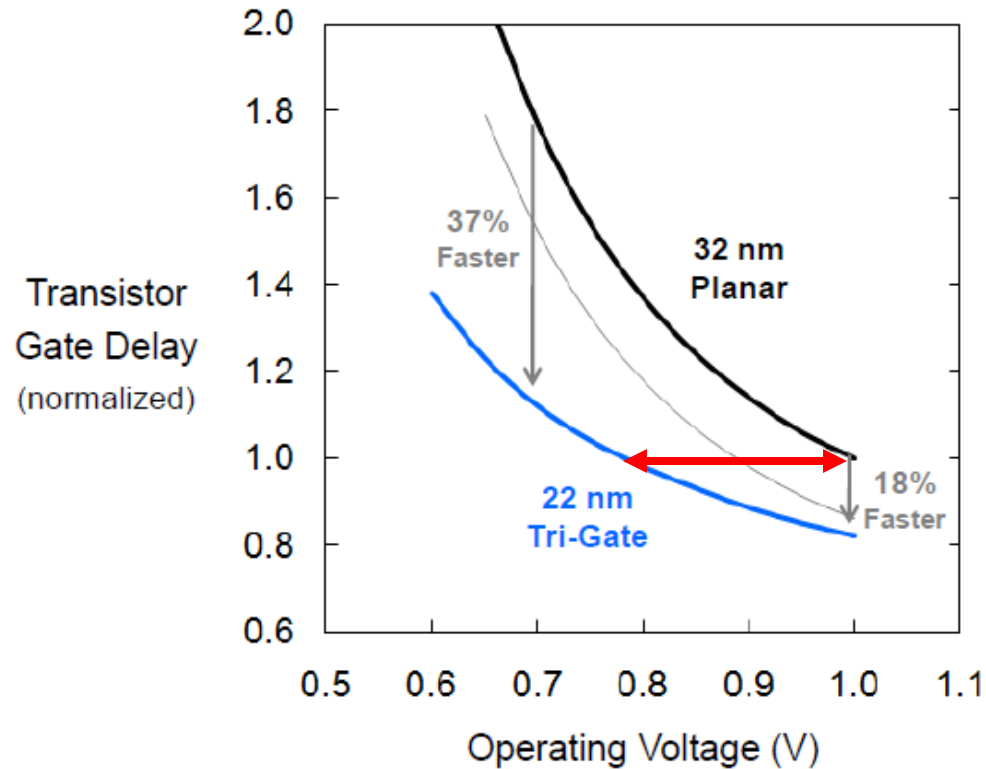


# A tri-gate tranzisztorok előnyei



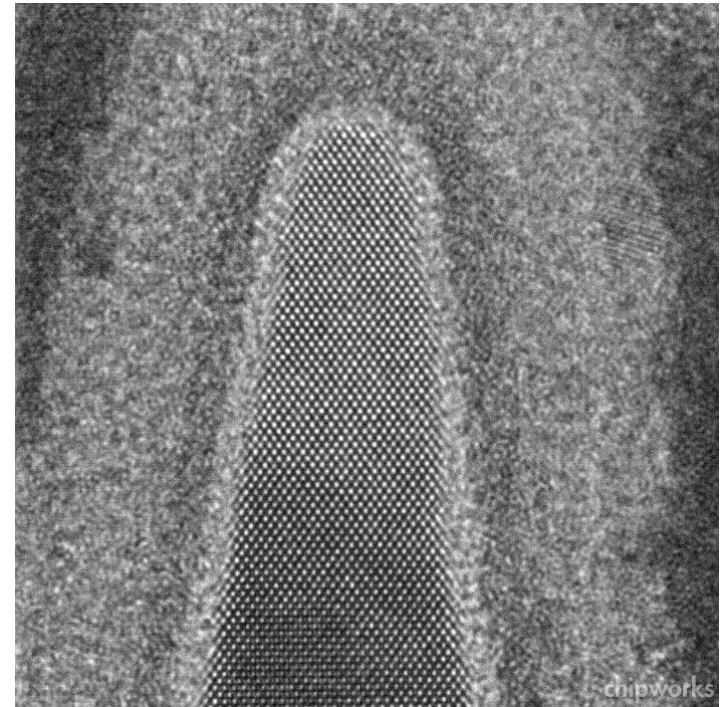
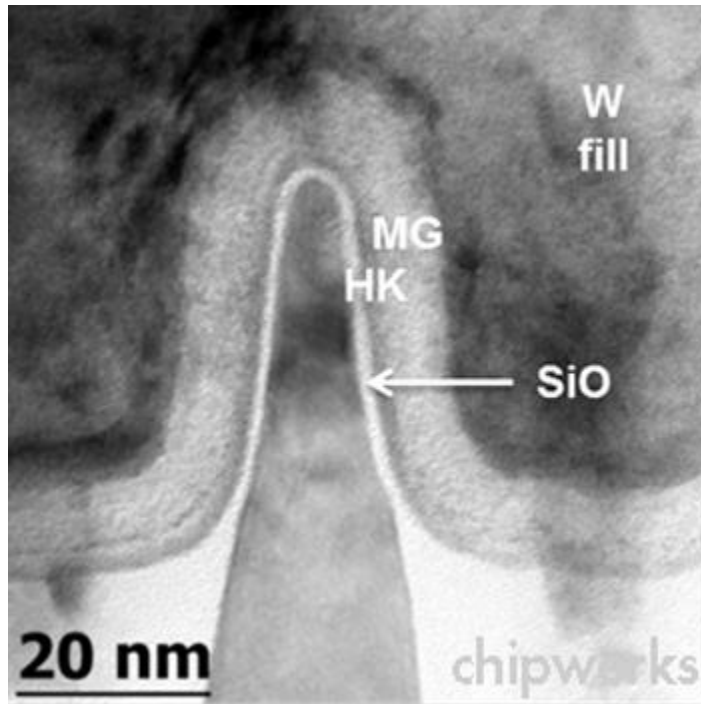
- ▶ Csökken a küszöbfeszültség alatti áram.
  - Ugyanolyan paraméterek mellett lehetőség nyílik a küszöbfeszültség további csökkentésére.
    - Ez jó hatással lesz a sebességre, hiszen az  $V_{DD} - V_T$  vel arányos
    - Vagy a tápfeszültség, és ezen keresztül a fogyasztás csökkenthető.

# A tri-gate tranzisztorok előnyei



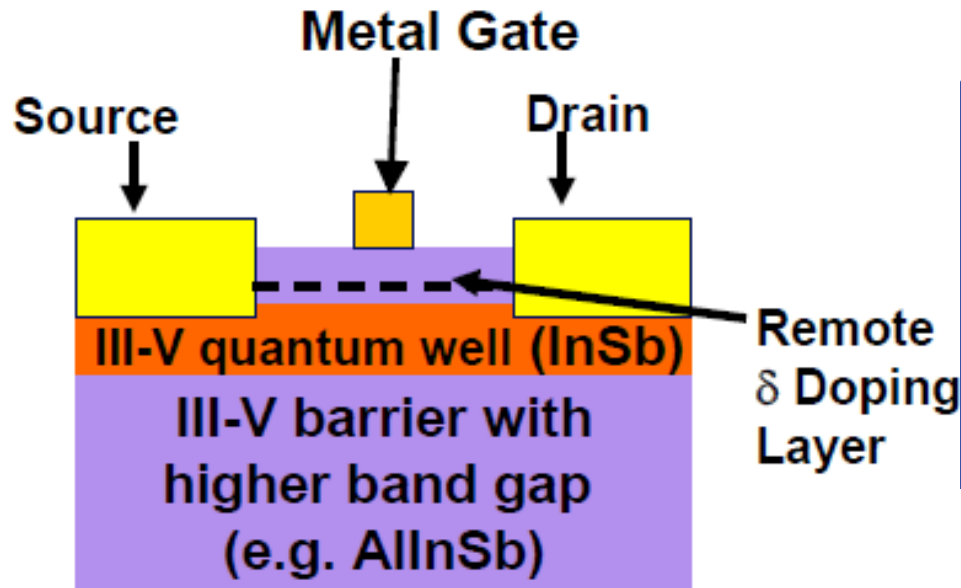
- ▶ Azonos órajel mellett kb. 0,2V-al csökkenthető a tápfeszültség.
  - Ez teljesítményben több mint 1/3-os csökkentést jelent.
  - Alacsony feszültségeken még látványosabb a sebességnövekedés.
  - A tápfeszültség értelmesen még lejjebb skálázható.

# Trigate tranzisztor keresztmetszete



► Forrás: [www.chipworks.com](http://www.chipworks.com)

# QWFET – quantum well fet

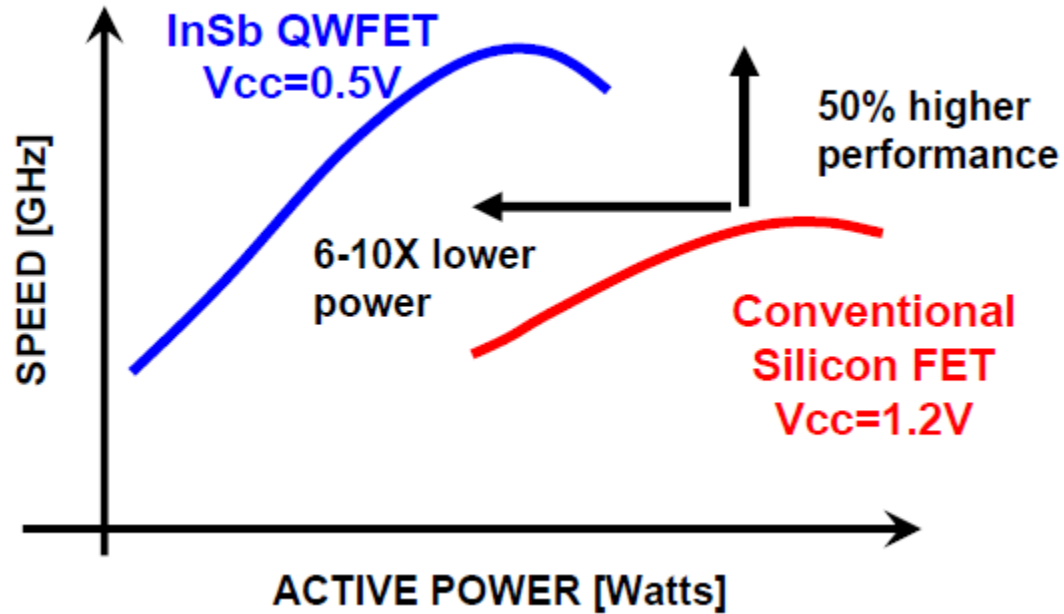


Material/Property	Si	Ge	GaAs	InAs	InSb
$m_{\text{eff}}^*$	0.19	0.08	0.067	0.023	0.014
$\mu_n$ (cm <sup>2</sup> /Vs)	1600	3900	9200	40,000	77,000
$E_G$ (eV)	1.12	0.66	1.42	0.36	0.17
$\epsilon_r$	11.8	16	12.4	14.8	17.7

$$E_G (\text{InSb}) < E_G (\text{AlInSb})$$

- ▶ A csatorna anyaga InSb, aminek a tiltott sáv szélessége kicsi.
- ▶ Körülötte nagyobb tiltottsáv-szélességű anyag van, amiről az elektron „visszapattan”. (hasonló az effektus, mint a fényvezető szálban...)
- ▶ A Si-hoz képest a mozgékonyabb jóval nagyobb.
  - Azaz kisebb feszültséggel lehet ugyanakkora áramot elérni

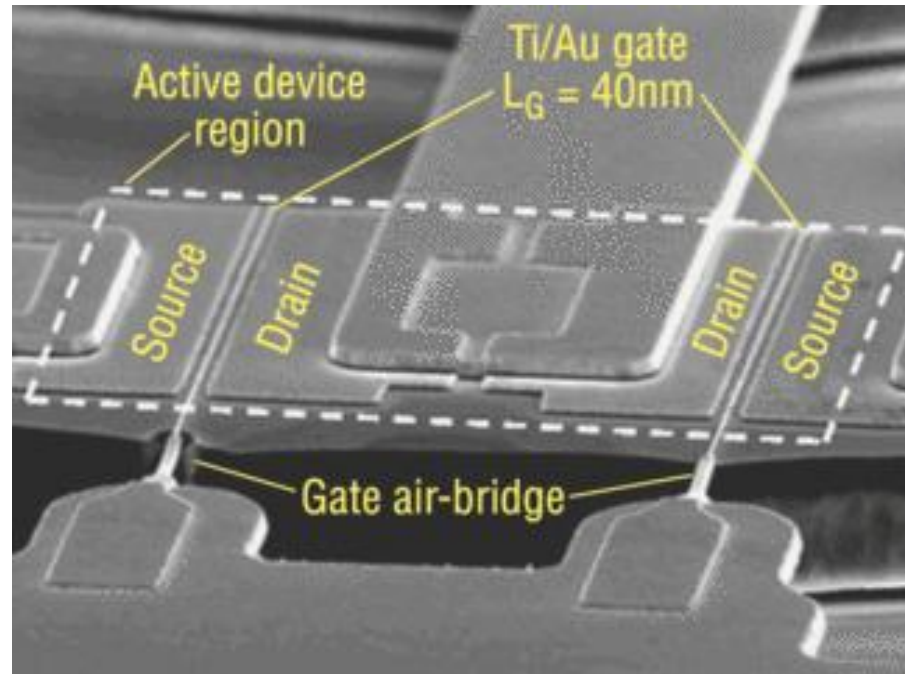
# QWFET előnyei



- ▶ Másfélszeres órajel fele teljesítménnyel,
- ▶ Vagy ugyanakkora órajel, kb. hatodakkora elektromos teljesítmény igényyel.



# QW FET



- ▶ A legnagyobb probléma a vegyületfélvezetők beillesztése a Si alapú technológiába.
- ▶ Ez nem MOS tranzisztor.
  - Karakterisztikája a JFET-hez hasonlít

# Vezetékezés

- ▶ A vezetékhalózat okozta késleltetés jelentősebb, mint a kapu intrinszc késleltetése.
- ▶ Egyenesen arányos a vezeték fajlagos ellenállásával és kapacitásával.
- ▶  $\tau = RC \dots$
- ▶ A fajlagos ellenállás csökkentésére először alumínium vezetékezés helyett viszonylag régen rézre tértek át.
- ▶ A kontaktusok illetve a gate felületén fém-szilícium ötvözeteket használnak az ellenállás csökkentésére, pl. TiS stb.
- ▶ Az egyes fémrétegeket elválasztó szigetelő anyag viszont hat a kapacitásra.
- ▶ Itt a gate-dielektrikummal szemben most kis dielektromos állandóval rendelkező anyagra van szükség.
- ▶ Ezek az ún. low-K anyagok.

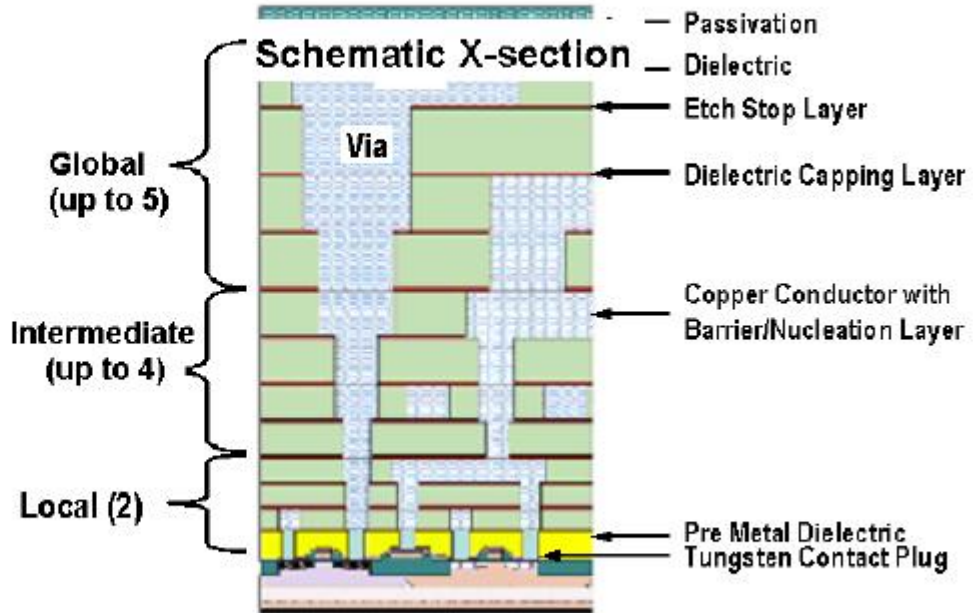
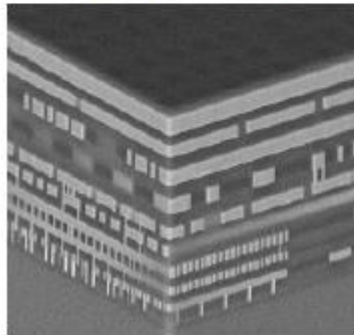


# Összeköttetések

130nm – 6LM



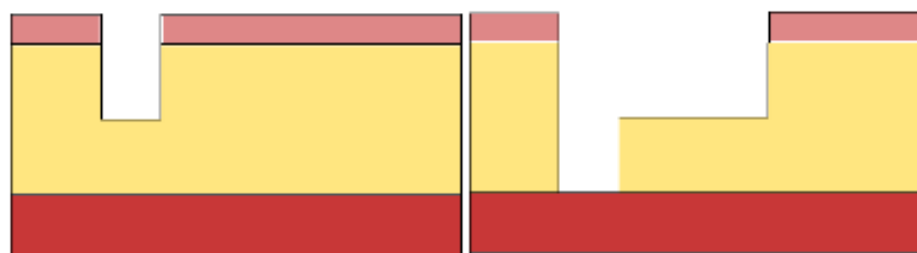
90nm – 9LM



- ▶ Barrier – a réz elvándorlását akadályozza meg.

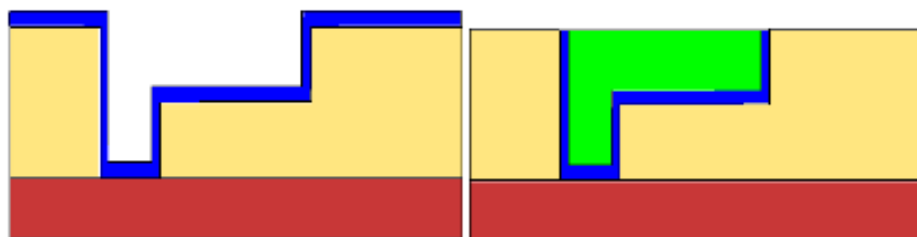
# Összeköttetés – 1 réteg.

- ▶ Az ún. dual – damascene process
- ▶ A VIA és a vezetékezés együtt készül.
- ▶ A réz nem martható szelektíven a szokásos IC eljárásokkal.
  - Teli réz, utána CMP (chemical-mechanical polishing)



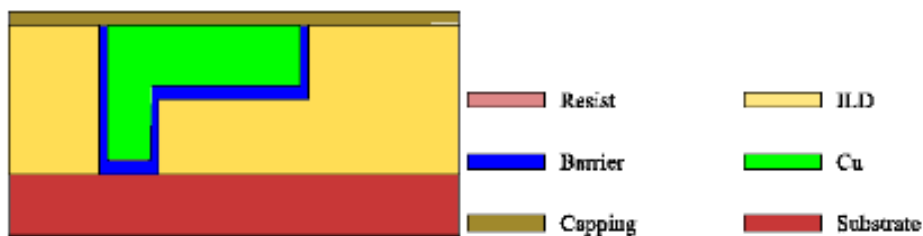
(a)

(b)



(c)

(d)

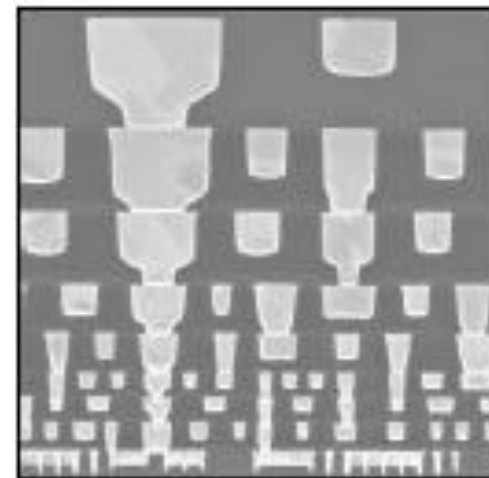


(e)

- ▶ Barrier = Ta
- ▶ Capping: SiN

# Low-K anyagok

Anyag	$\epsilon_r$
SiO <sub>2</sub>	3,9
FDO – fluórral adalékolt oxid	3,5
CDO – szénnel adalékolt oxid	3,0
Pórusos SiO <sub>2</sub> (mechanikailag instabil)	2,0
Pórusos CDO	2,7
polimerek	2,2



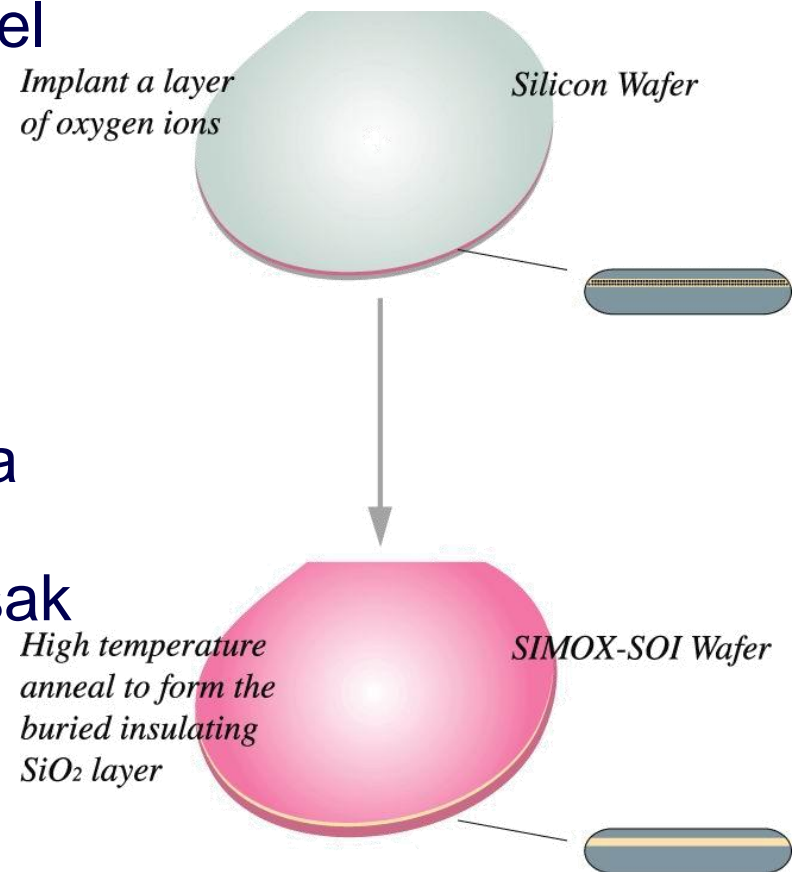
- ▶ Tehát pl. a SiO<sub>2</sub>-t CDO-ra cserélve 25%-al lehetett csökkenteni a késleltetést.

# Szubsztrát

- ▶ Jellemző méretek: 6” - 8” - 12” (150 - 200 - 300mm)
  - A 450mm egyenlőre technológiai demonstráció, óriási beruházásigényt jelent.
  - szélesség: 200mm - 725 $\mu$ m, 300mm - 775  $\mu$ m, 450mm - 925 $\mu$ m
  - Előállítás: nagyrészt CZ
  - $d$  átmérőjű szeleten  $S$  felületű chipből:
  - $DPW = d\pi\left(\frac{d}{4S} - \frac{1}{\sqrt{2S}}\right)$  db. készül el egyszerre.
    - Pl. 87mm<sup>2</sup> chip esetén (Intel Atom Pineview) 200mm-en 310, 300mm 740, 450mm-es szeleten 1720 db IC/szelet
- ▶ SOI {Silicon on insulator} alapanyag
  - Spec. területek kivételével a szigetelőanyag SiO<sub>2</sub>
    - Űr és a katonai alkalmazások: zafír, SOS {Silicon of sapphire}
  - Kb. 30% a részesedés az összes szelet között
    - IBM, AMD, Freescale a fő felhasználók – Intel pl. nem gyárt SOI-t
  - A fő előny
    - Nincs szivárgás a szubsztrát felé
    - Sokkal kisebb a drain-bulk és a source-bulk parazita kapacitás
    - Gyakorlatilag nincs szubsztrát hatás.
    - A rövidcsatornás effektusok „szelídebbek”

# SIMOX

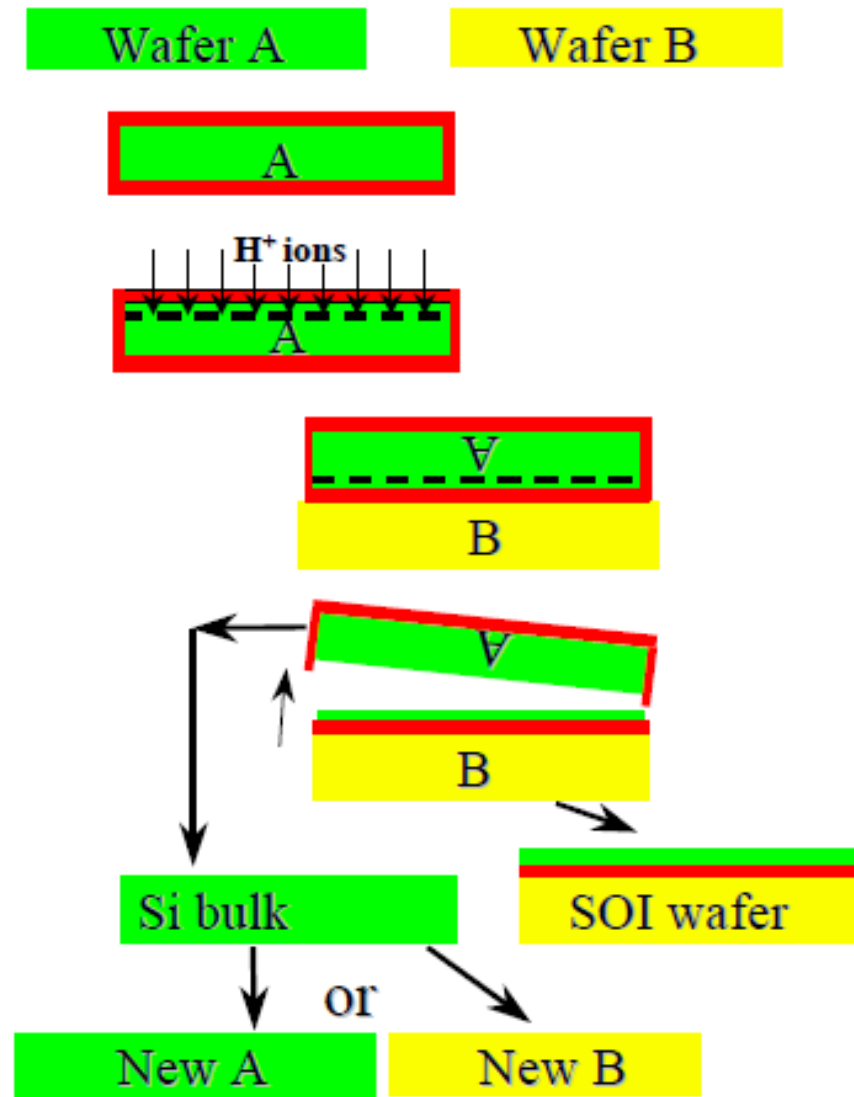
- ▶ A teljes szelet felületét oxigénnel implantálják.
- ▶ Majd magas hőmérsékletű hőkezelés következik
  - Kialakul egy belső, szigetelő  $\text{SiO}_2$  réteg.
- ▶ Innentől kezdve a technológia a „hagyományos”, ugyanazt a technológiai sort használják, csak az alapanyag más...





# „Smart – Cut”

- 1 Initial silicon wafers A & B
- 2 Oxidation of wafer A to create insulating layer
- 3 Smart Cut ion implantation induces formation of an in-depth weakened layer
- 4 Cleaning & bonding wafer A to the handle substrate, wafer B
- 5 Smart Cut - cleavage at the mean ion penetration depth splits off wafer A
- 6 Wafer B undergoes annealing, CMP and touch polish => SOI wafer complete
- 8 Split-off wafer A is recycled, becoming the new wafer A or B



# Fotolitográfia

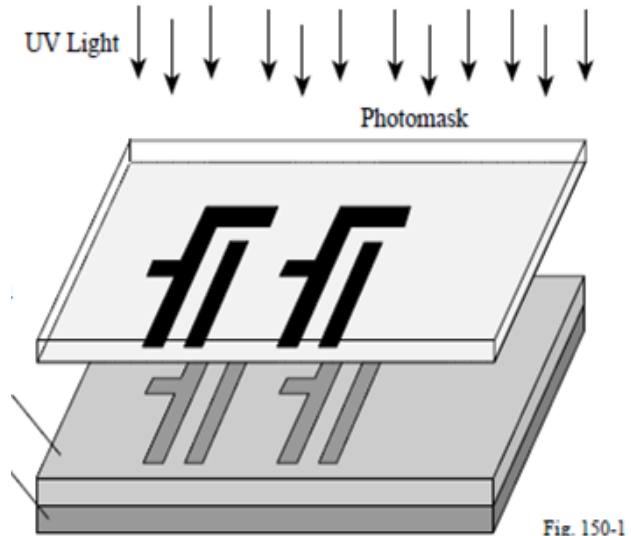
▶ Óriási erőfeszítések a nagyobb felbontóképesség irányába

- EUV (extreme-UV), kb. 13,5nm
- Röntgen (X-ray) kb. 1nm
- Elektronsugaras direkt írás 15nm
- Ionsugaras direkt írás
- Nano imprint 10nm

▶ Ennek ellenére a gyakorlatban 365- 248 - 193nm-es UV fényforrást használnak

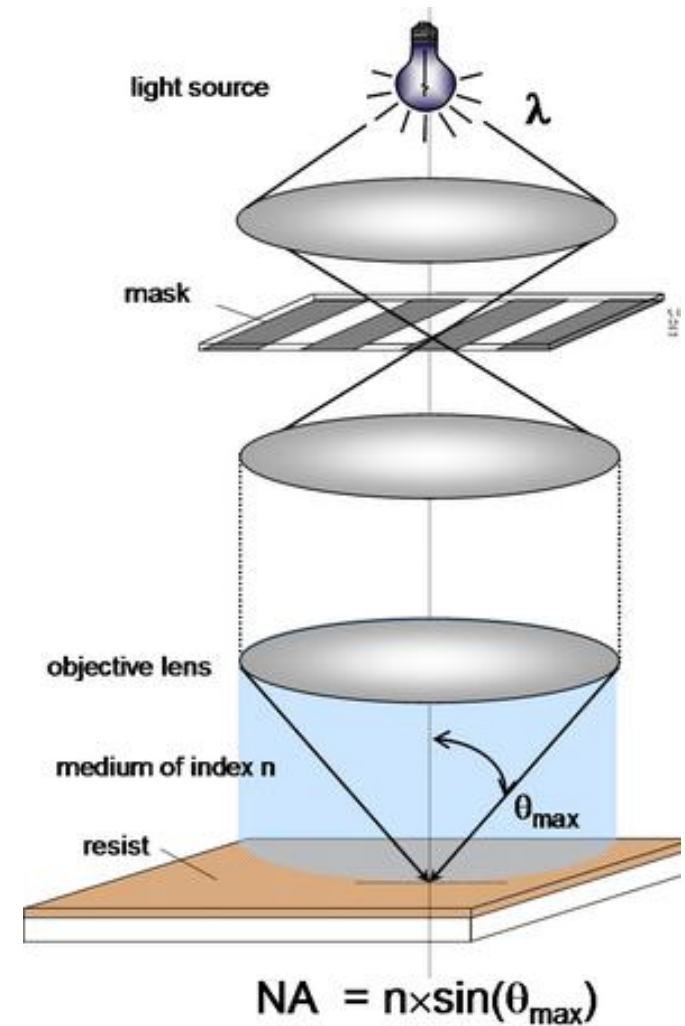
▶ A hullámhossznál kisebb méretű alakzat kialakítás

- Immerziós litográfia
- Kétszeres (háromszoros, négyszeres) mintázás
- (double patterning)



# Immerziós litográfia

- ▶ A maszk ábra 1 chip mintázatát tartalmazza, ezt kicsinyítik le optikai úton
- ▶ A megvalósítható legkisebb méret:  $w_{min} = k_1 \lambda / NA$ 
  - Ahol  $k_1$  egynél valamivel kisebb, az optikai rendszerre jellemző konstans
  - A numerikus apertúra pedig  $NA = n \sin(\theta_{max})$ , azaz a közeg törésmutatója és a maximális kilépési szög szinuszának szorzata
- ▶ Ha a reziszt és a lencse közé nagyobb törésmutatójú anyag kerül, a megvalósítható méret csökken.
  - Általában tiszta víz:  $n=1,33$



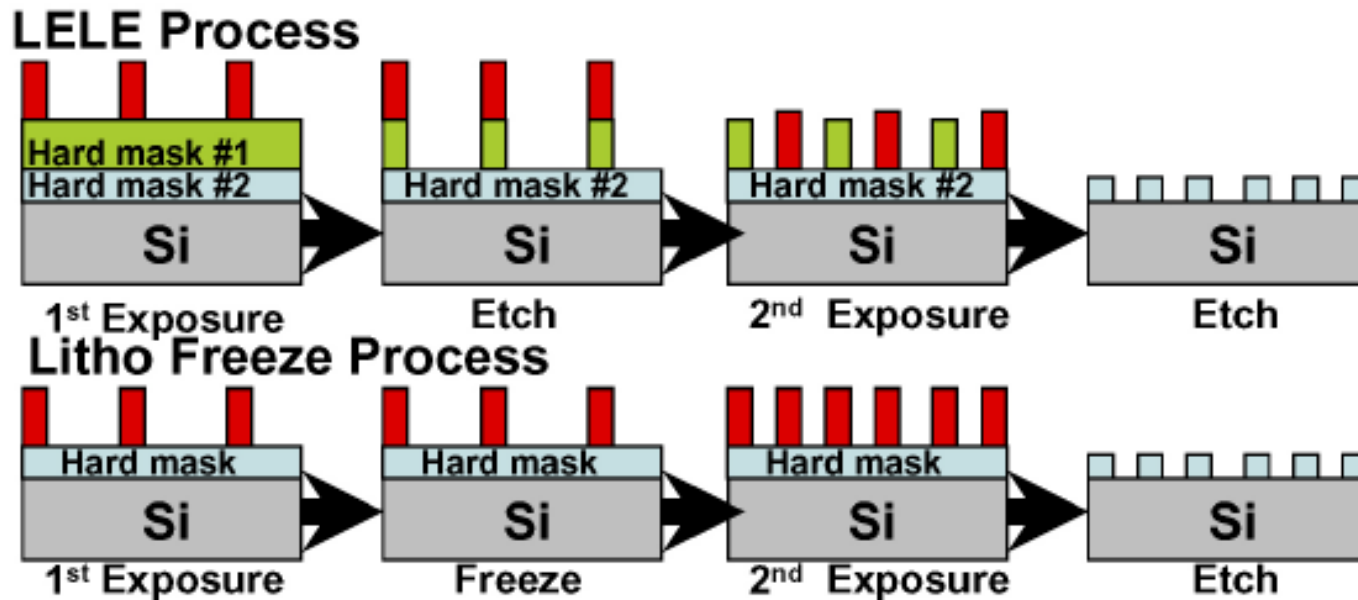
# Kétszeres mintázás

## ▶ LELE = litho-etch-litho-etch

- Két, különböző anyagú maszkoló réteget alkalmaznak, így a felbontás duplázható

## ▶ Litho-freeze

- Elsőként a mintázat fele, majd kémia úton a reziszt „kikeményítése” (freeze), majd a második megvilágítás



# Önillesztett kétszeres mintázás

- ▶ Az oldalfali anyag nehezebb marhatóságát használja ki.

