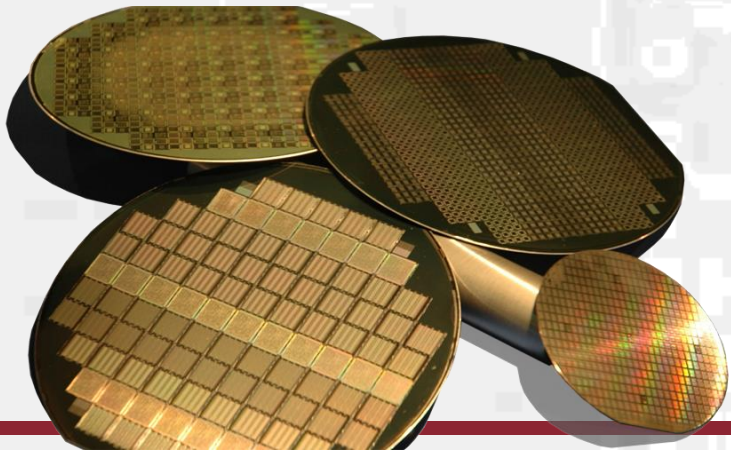




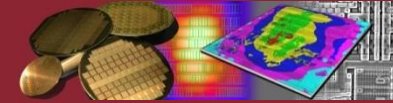
Budapesti Műszaki és Gazdaságtudományi Egyetem
Elektronikus Eszközök Tanszéke

MOS alapáramkörök

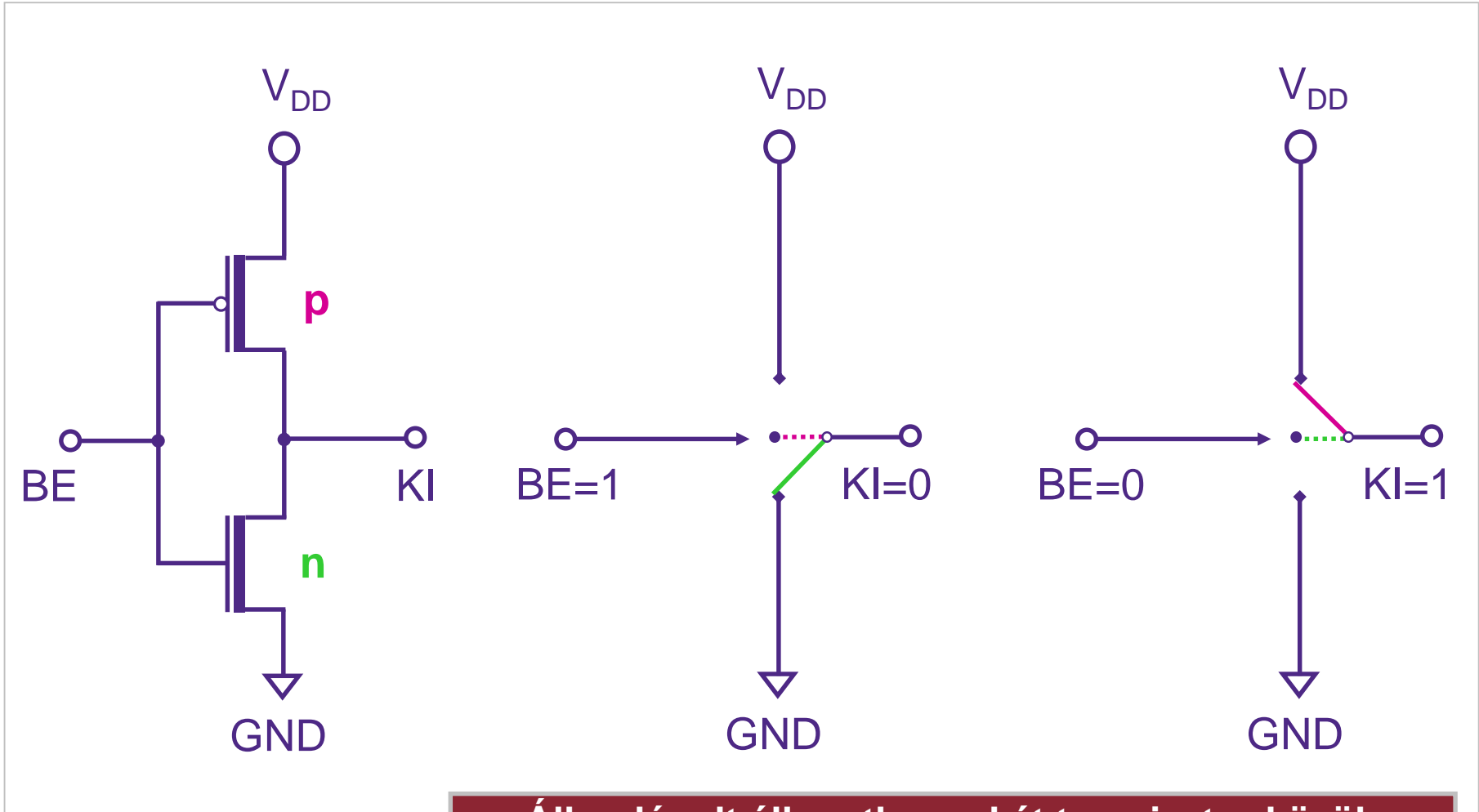
**CMOS áramkörök,
konstrukciós kérdések**



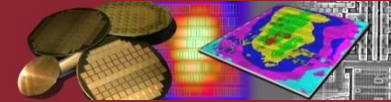
<http://www.eet.bme.hu>



A CMOS inverter

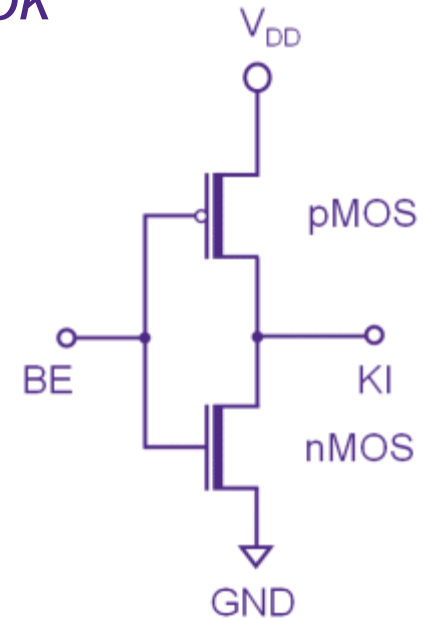
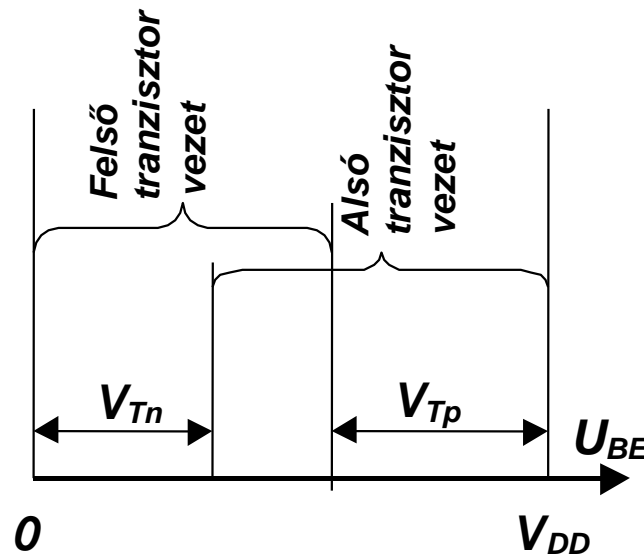
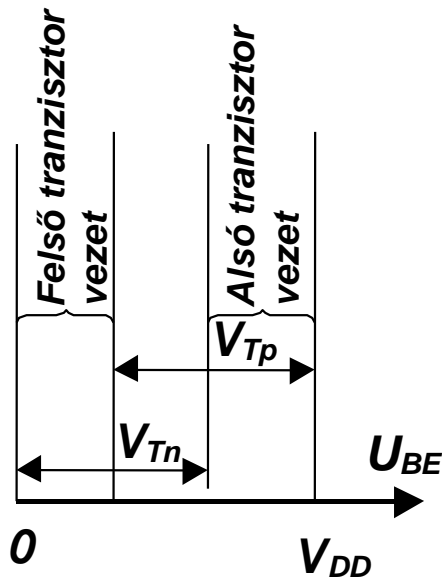


Állandósult állapotban a két tranzisztor közül mindig csak az egyik vezet, a másik lezárt



A CMOS inverter karakterisztikája

2 alapeset, a tápfeszültségtől és a tranzisztorok küszöbfeszültségétől függően



1. kis tápfeszültség:

$$V_{DD} < V_{Tn} + |V_{Tp}|$$

egyszerre csak az egyik tranzisztor vezet

2. nagyobb tápfeszültség

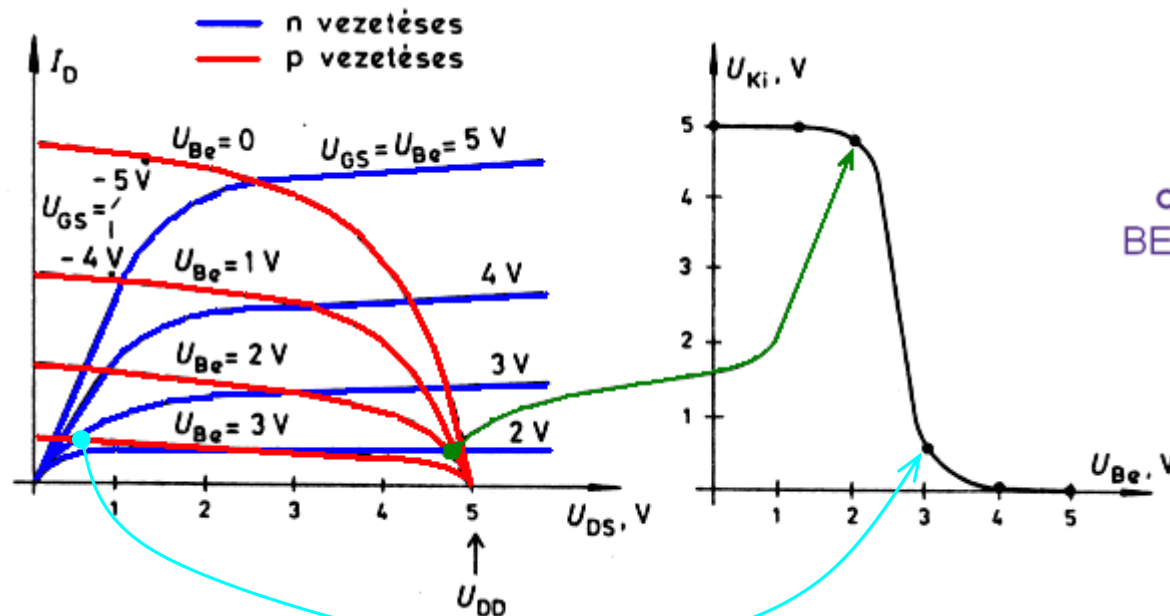
$$V_{DD} > V_{Tn} + |V_{Tp}|$$

átkapcsoláskor egyszerre vezet mindkét tranzisztor



A CMOS inverter karakterisztikája

- ▶ 2. Nagy tápfeszültség: $V_{DD} > V_{Tn} + |V_{Tp}|$
Átkapcsoláskor? - "egymásba vezetés"
- ▶ Karakterisztika szerkesztése



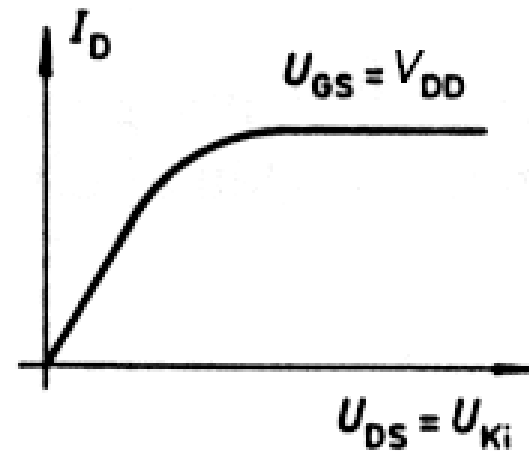
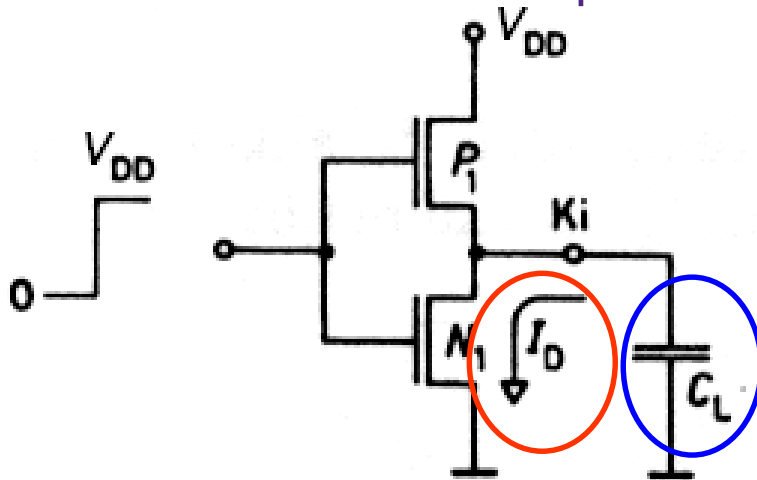


A CMOS inverter – dinamikus kar.

► Kapcsolási idők számítása

▪ Mitől függenek?

- a kimenet áram-meghajtó képességétől
- a kimenetet terhelő kapacitástól

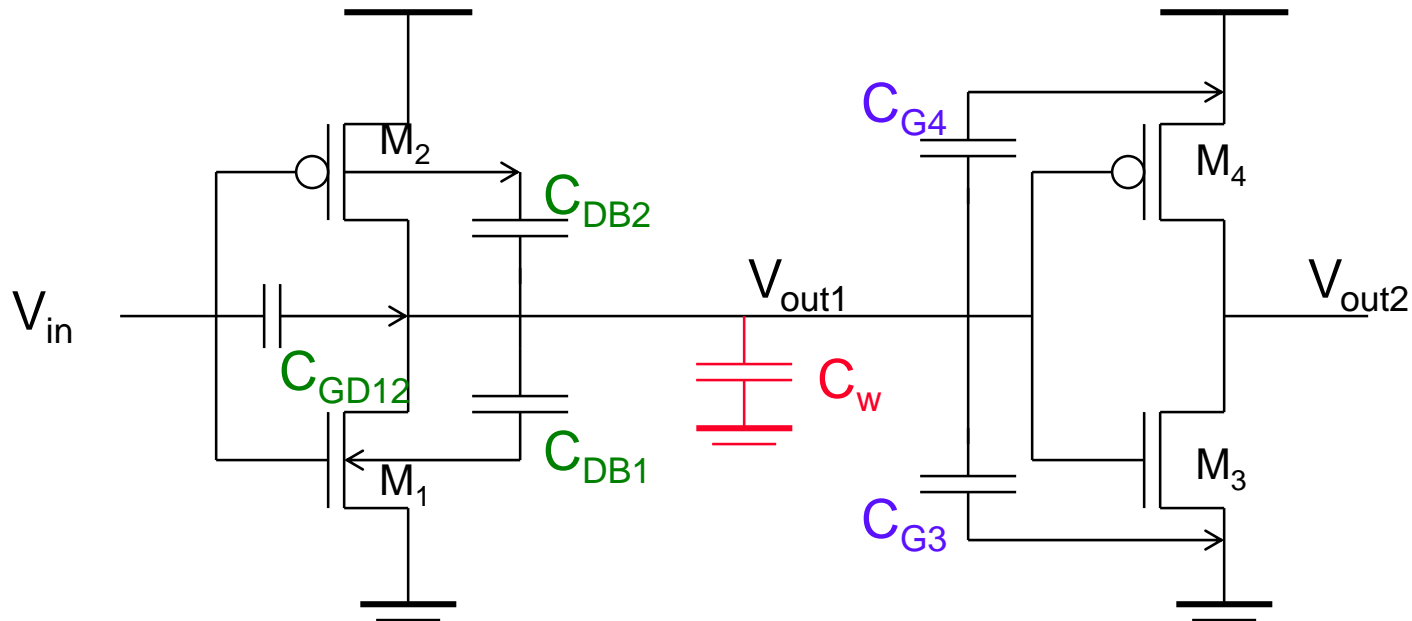


- Ha a két tranzisztor pontosan komplementer karakterisztikájú, a kapcsolási idők (fel- és lefutás) is egyformák lesznek ($K_n = K_p$ és $V_{Tn} = |V_{Tp}|$)



A kapacitások:

- ▶ Meghajtó fokozat tranzisztorainak belső kapacitásai
- ▶ Következő fokozat tranzisztorainak bemeneti kapacitásai
- ▶ Vezetékezés kapacitása



intrinsic MOS transistor capacitances

extrinsic MOS transistor (fanout) capacitances

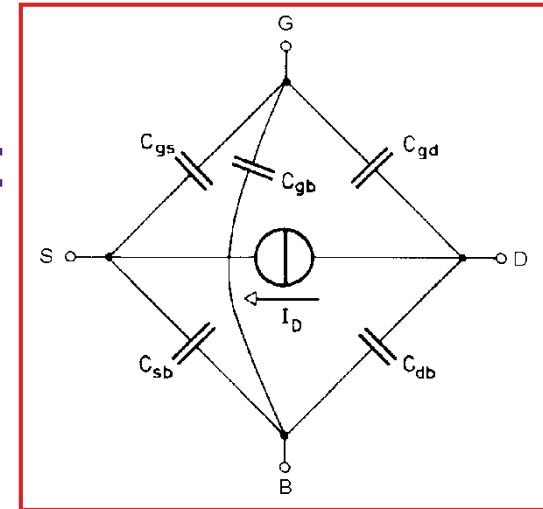
wiring (interconnect) capacitance



A kapacitások

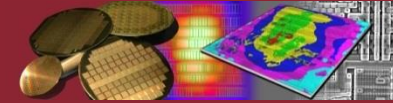
► A belső kapacitásokat már érintettük:

- S-G G-D átlapolási kapacitások
- a csatorna kapacitása
- a pn átmenetek kapacitásai



► A vezetékezés kapacitása

- az összekötő vezetékek geometriájától függ (szélesség, hosszúság)
- a technológiai fejlődésével jelentősége egyre nő



A CMOS inverter – dinamikus kar.

► Kapcsolási idők számítása

- azonos kapcs. idők, integrálás a kapacitás szélső feszültség értékeire:

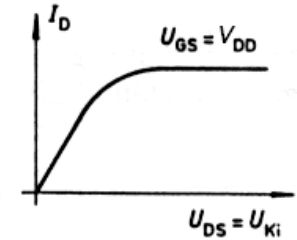
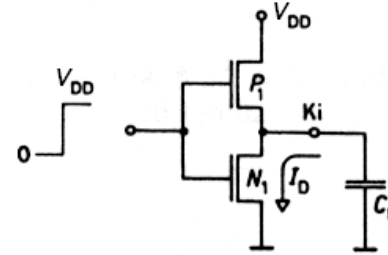
$$t_l = \int_{V_{DD}}^{V_{LM}} \frac{C_L}{I_D} dU$$

- Ha

$$I_D \approx K(V_{DD} - V_T)^2$$

akkor

$$t_l = \frac{C_L(V_{DD} - V_{LM})}{K(V_{DD} - V_T)^2}$$



V_{LM} – a terhelő kapacitás minimális feszültsége

Csökkenthető a tápfeszültség vagy W/L növelésével



A CMOS inverter fogyasztása

- ▶ **Statikus fogyasztás nincs**, mert nincs statikus áram
- ▶ Átkapcsoláskor van **dinamikus fogyasztás**, amely 2 részből áll:

- **Egymásba vezetés:**

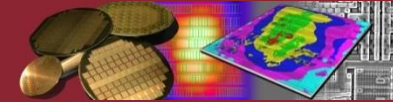
- A bemenő jel felfutásának egy szakaszában mindkét tranzisztor egyszerre vezet, ha

$$V_{Tn} < U_{BE} < V_{DD} - V_{Tp}$$

- **Töltés-pumpálás:**

- Jelváltásokkor a kimeneten lévő C_L terhelést 1-re váltáskor a p tranzisztoron keresztül tápfeszültségre töltjük, majd 0-ra váltáskor az n tranzisztoron keresztül kisütjük.

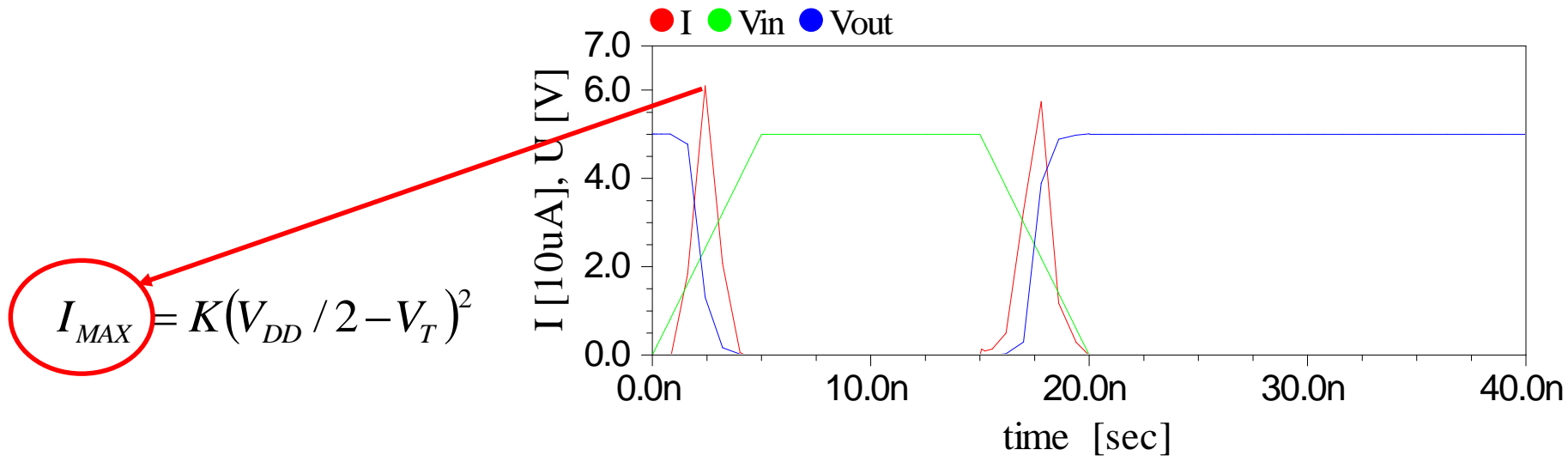
Töltést pumpálunk a tápból a föld felé.



A CMOS inverter fogyasztása

► Egymásba vezetés:

- A bemenő jel felfutásának egy szakaszában mindkét tranzisztor egyszerre vezet, ha $V_{Tn} < U_{BE} < V_{DD} - V_{Tp}$



- az átfolyó töltés: $\Delta Q = bt_{UD} I_{MAX}$, ahol t_{UD} az idő, amíg áram folyik, b egy konstans, ami az átkapcsoló jel alakjától függ. $b \approx 0.1-0.2$

$$P = f \Delta Q V_{DD} = f V_{DD} b t_{UD} K (V_{DD} / 2 - V_T)^2$$

$$P \sim f V_{DD}^3$$



A CMOS inverter fogyasztása

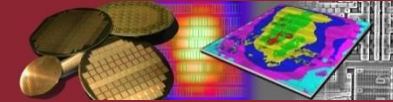
► Töltéspumpálás:

- Jelváltásokkor a kimeneten lévő C_L terhelést 1-re váltáskor a p tranzisztoron keresztül tápfeszültségre töltjük, majd 0-ra váltáskor az n tranzisztoron keresztül kisütjük.

$$\Delta Q_L = C_L V_{DD}$$

$$P_{cp} = f C_L V_{DD}^2$$

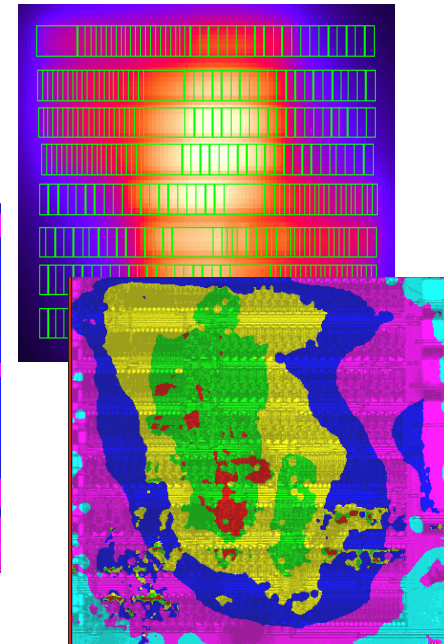
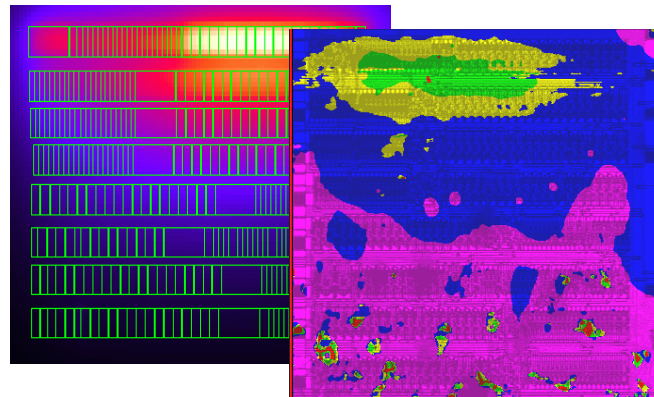
- A töltéspumpálás teljesítmény igénye arányos **a frekvenciával és a tápfeszültség négyzetével.**
- **A teljes fogyasztás** a 2 összege (ha egymásba vezetés is van), arányos a **frekvenciával** és a tápfeszültség 2. ill. 3. hatványával.



CMOS áramkörök fogyasztásának összetevői

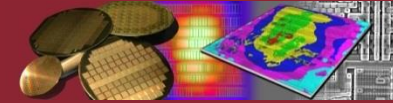
▶ Dinamikus összetevők – minden kapcsolási eseménykor

- egymásbavezetés, töltéspumpálás
- eseménysűrűséggel arányos
 - órajel frekvencia
 - az áramkör aktivitása



▶ Parazita jelenségek miatt további összetevők:

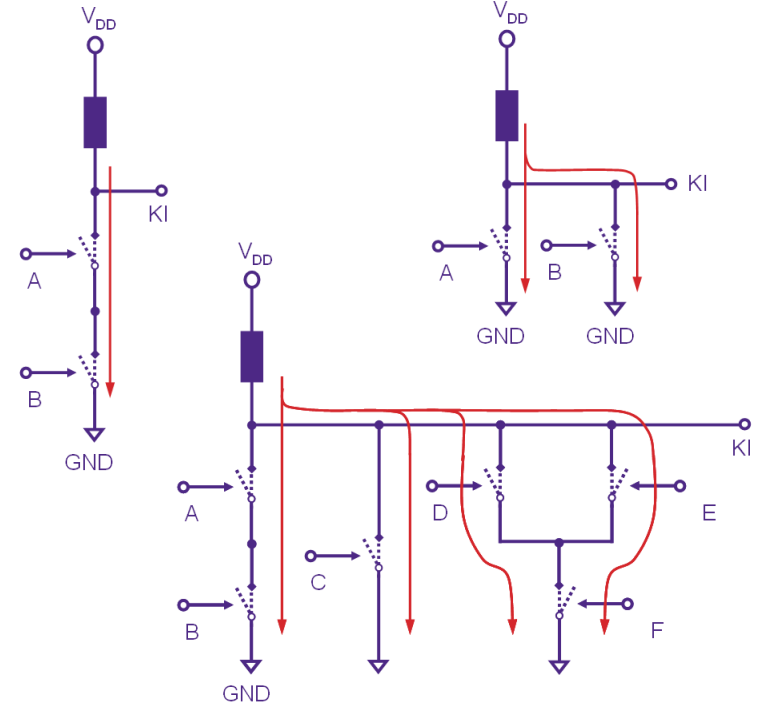
- küszöb alatti áramok
- pn-átmenetek szivárgási áramai – **leakage**: ma már nagyon jelentős
- szivárgás a gate dielektrikumon keresztül



CMOS kapuk

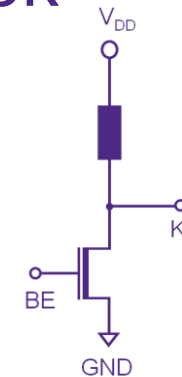
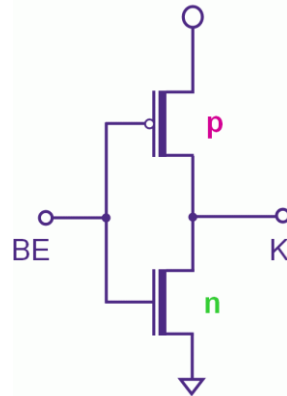
► nMOS kapcsolóhálózat szerkesztése:

- soros áramút: NAND kapcsolat
- párhuzamos áramút: NOR kapcsolat
- ezek kombinációja: komplex kapu



► Kapcsolók helyett nMOS tranzisztorok

► Load helyett nMOS áramkör duálisa: pMOS hálózat





CMOS kapuk

- ▶ A CMOS inverterben mindkét tranzisztort vezéreljük.
- ▶ A kapuk esetében egy "felső" (pMOS) ill. "alsó" (nMOS) hálózat fog megjelenni, mindkét hálózat annyi tranzisztorból áll, ahány bemenete van a függvénynek.
 - Azoknál a bemeneti kombinációknál, ahol a függvény értéke 0, az alsó hálózat rövidzár a kimenet és a föld között, míg a felső hálózat szakadás a kimenet és a táp között
 - ha a függvény értéke 1, akkor az alsó hálózat szakadás, a felső hálózat rövidzár

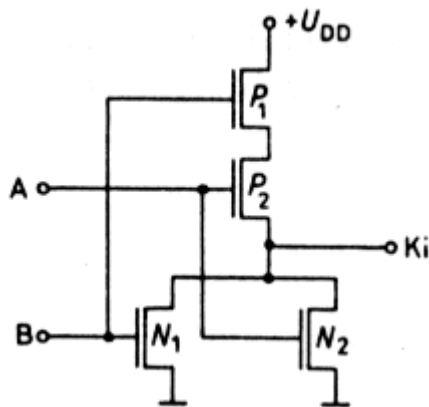
A p ill. n tranzisztorokkal duális hálózatokat kell megvalósítani

- ▶ Azonos bemenetek tranzisztorait össze kell kötni

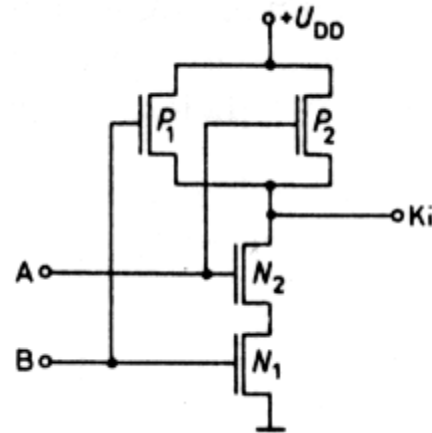


CMOS kapuk

► NOR kapu



► NAND kapu

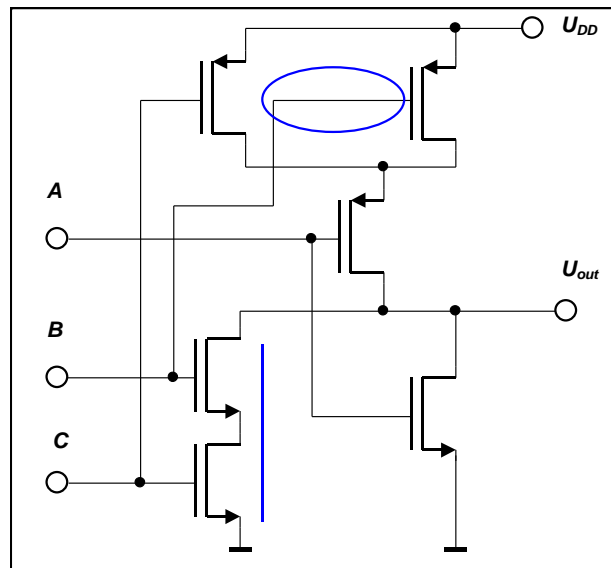


Egy n bemenetű CMOS kapuhoz $2n$ db tranzisztorra van szükség (passzív terhelésű kapuknál csak $n+1$ kell)

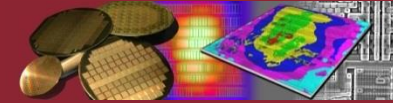


Komplex CMOS kapuk szerkesztése

- ▶ duális topológia (hurokból vágat, vagatból hurok)
- ▶ duális alkatrészekkel: nMOS helyett pMOS
- ▶ azonos bemenetekhez tartozó tranzisztorok gate-jeit összekötni
- ▶ W/L arányok helyes méretezése

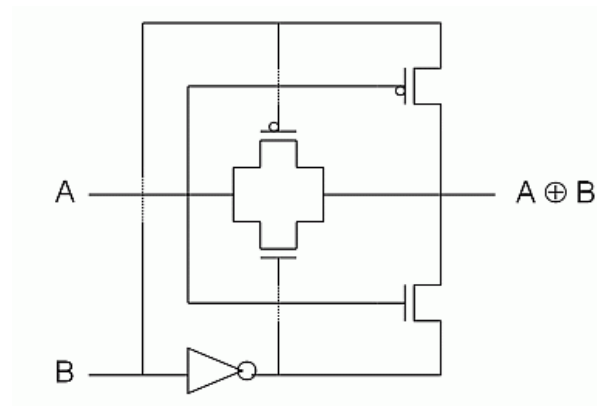


$$F = \overline{A + BC}$$



Transzfer kapuk használata

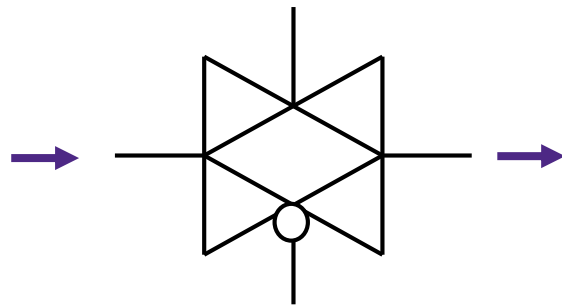
- ▶ **Egyszerűsítés: transzfer kapu** (*transmission gate*) használata
 - ne csak a VDD-GND áramút kialakításával hozzunk létre logikai funkciót
 - jelútba is beiktathatunk kapcsolót
 - analóg kapcsoló digitális á.k.-ben



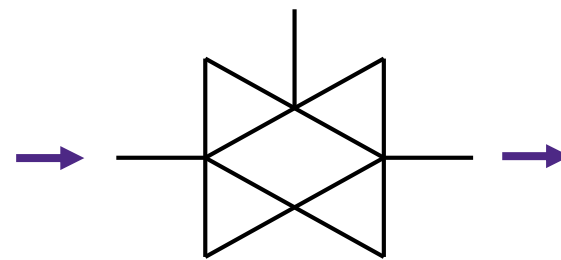


Transzfer kapus logikák jellemzői

- ▶ CMOS-ban: ellenütemben vezérelt n/p tranzisztorok

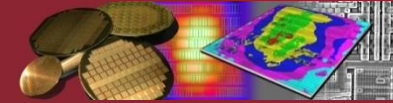


Transzfer kapu
ellenütemű vezérléssel



Transzfer kapu
beépített inverterrel

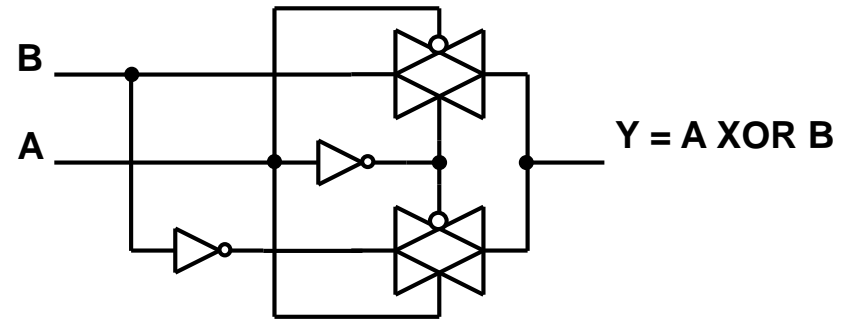
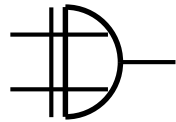
- ▶ kevesebb tranzisztor kell
- ▶ megfordítható jelút
- ▶ nincs statikus fogyasztás
- ▶ Soros ellenállás számít – négynél több transzfer kaput ne kössünk sorba



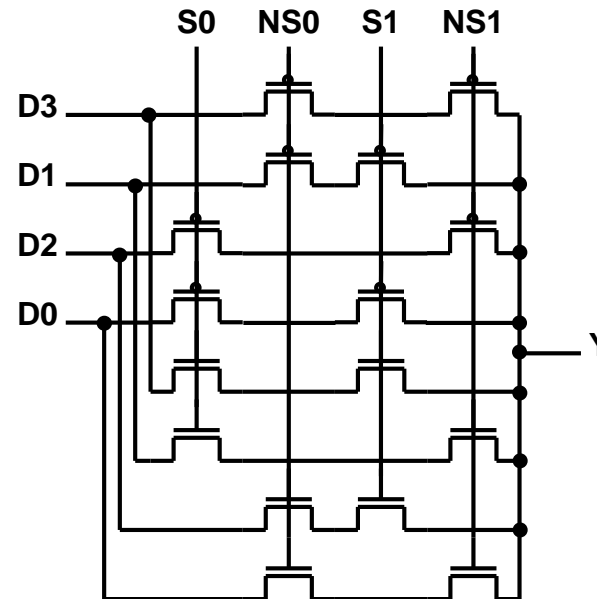
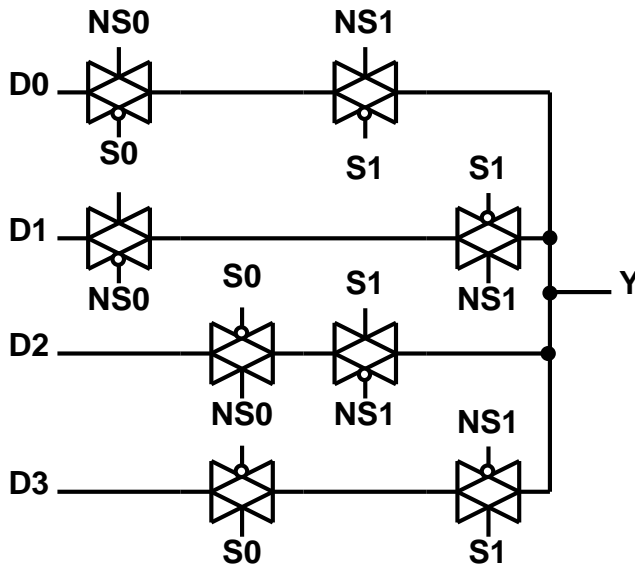
Transzfer kapus áramköri példák

► Tipikus: XOR, mux/demux

■ XOR kapu:

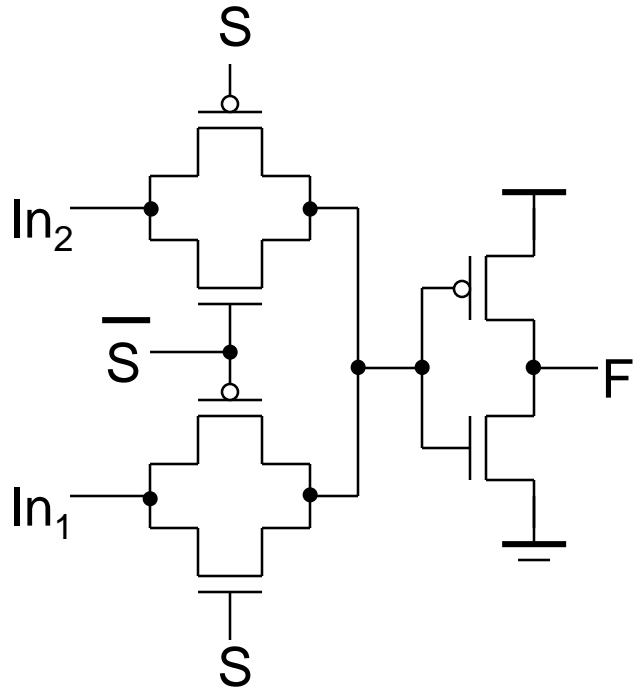


■ 4 bemenetű MUX:

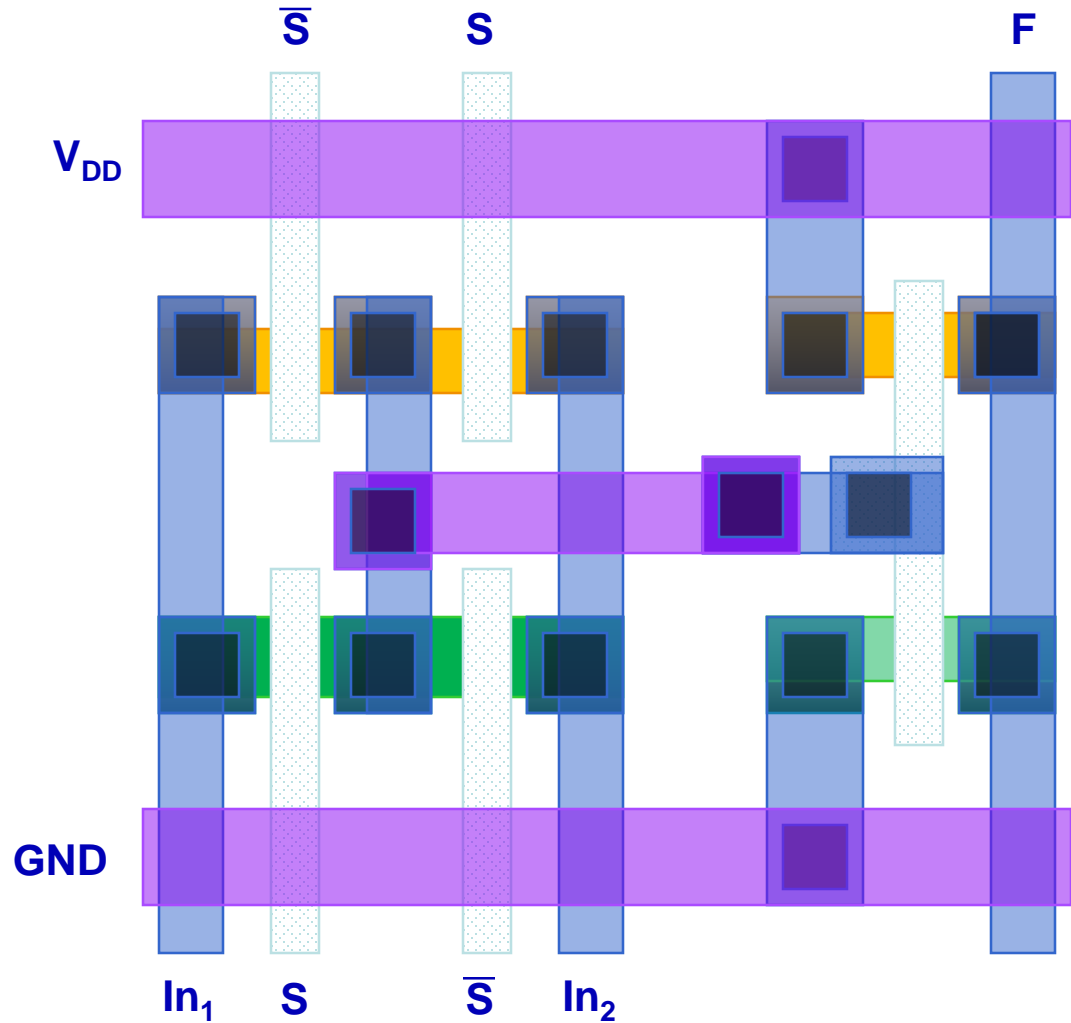




TG multiplexer layout-ja



$$F = \overline{In_1 S + In_2 \bar{S}}$$

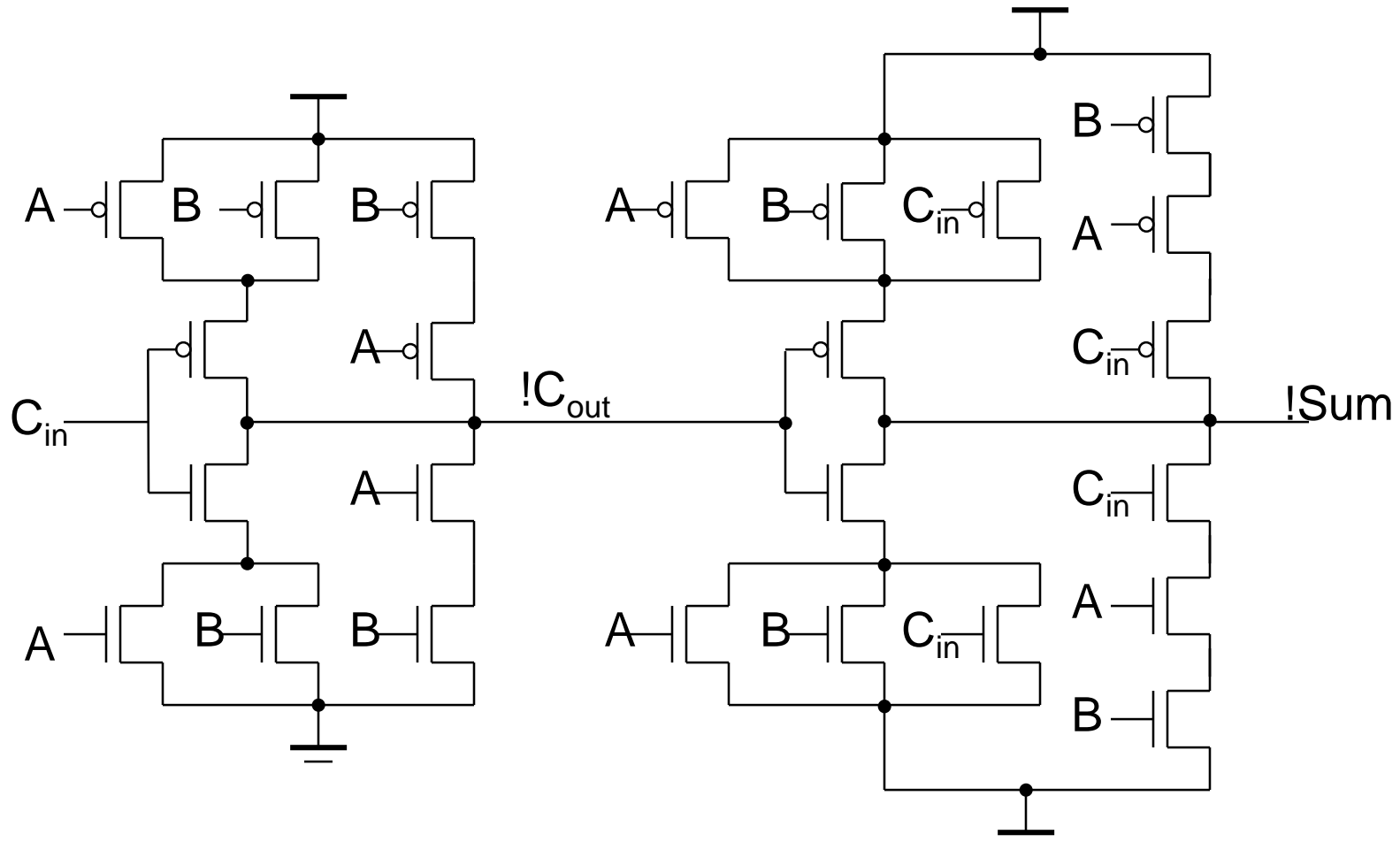




Statikus CMOS teljes összeadó

$$!C_{out} = !C_{in} \& (!A \mid !B) \mid (!A \& !B)$$

$$!Sum = C_{out} \& (!A \mid !B \mid !C_{in}) \mid (!A \& !B \& !C_{in})$$



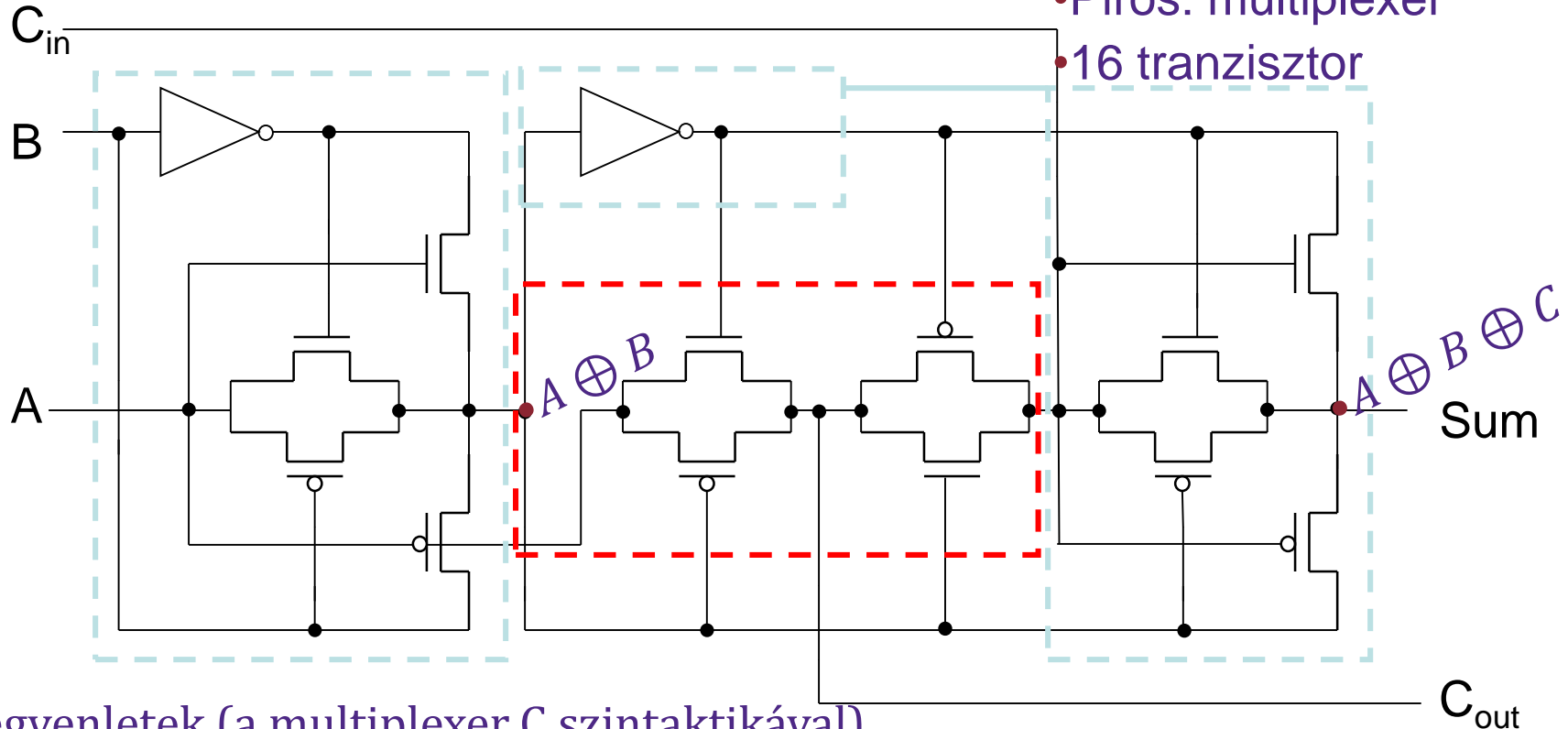
$$C_{out} = C_{in} \& (A \mid B) \mid (A \& B)$$

$$Sum = !C_{out} \& (A \mid B \mid C_{in}) \mid (A \& B \& C_{in})$$



Teljes összeadó transzfer kapukkal

- Kék: XOR kapu
- Piros: multiplexer
- 16 tranzisztor

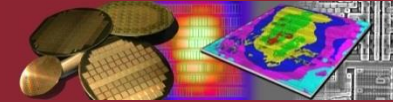


Az egyenletek (a multiplexer C szintaktikával)

$$Sum = A \oplus B \oplus C$$

$$C_{OUT} = A \oplus B \oplus Sum$$

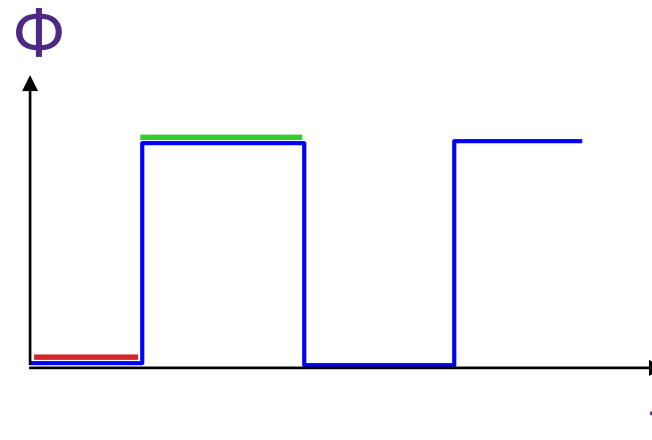
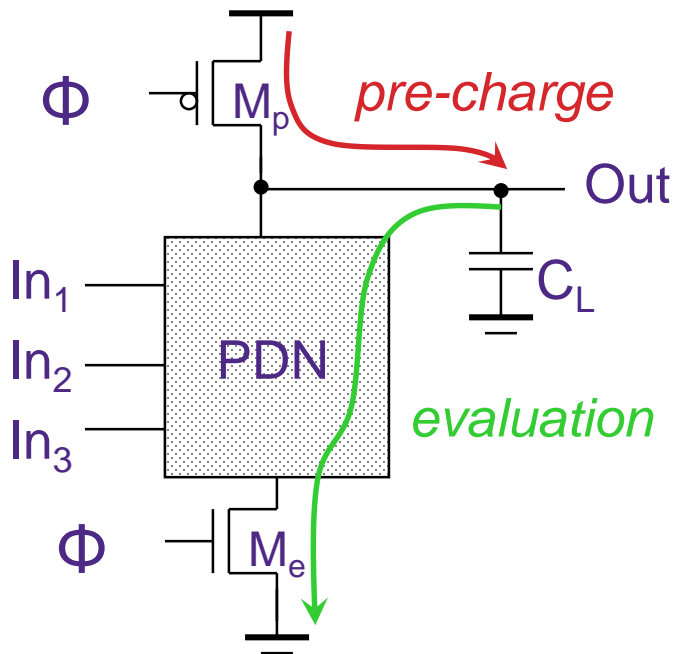
(Ez utóbbi furcsa lehet, mert nem szimmetrikus, de ha $A \oplus B = 0$ akkor $A=B$)

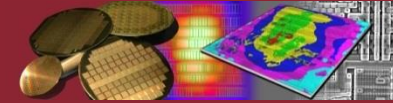


Dinamikus MOS logikák

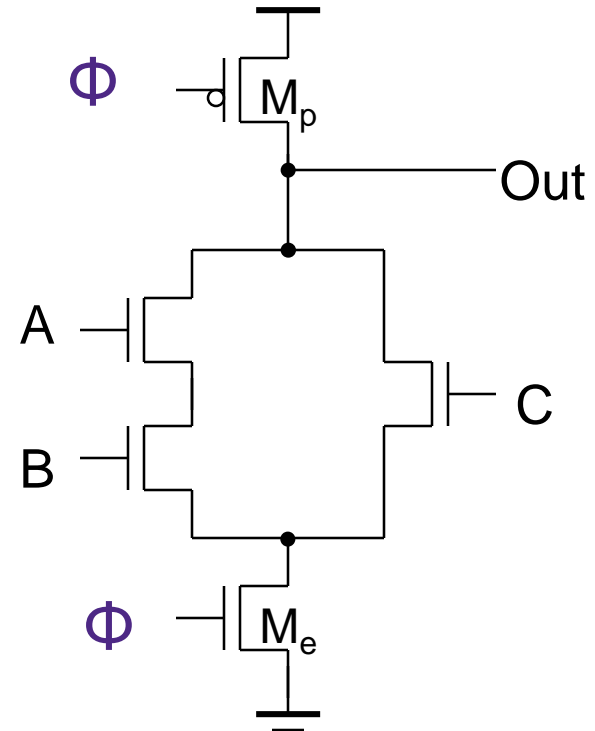
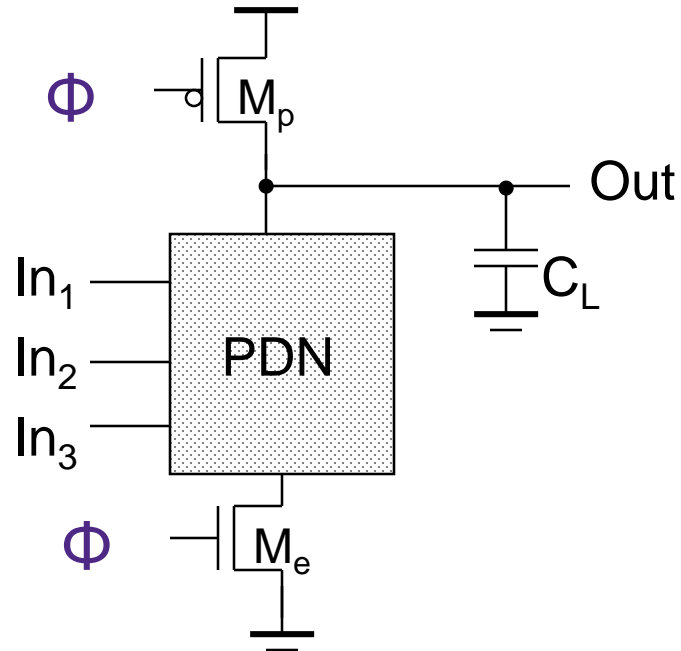
► Elv: 2 fázisú működés

- egy kapcsoló pMOS tranzisztorral egy kapacitást feltöltünk VDD feszültségre: **előtöltés** vagy *pre-charge*
- következő fázisban VDD-ről leválik a kondenzátor és egy nMOS logikai hálózaton keresztül a kapacitást (a bemenetek függvényében) kisütjük vagy töltve hagyjuk: ez a **kiértékelés** vagy *evaluation*





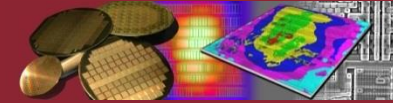
Dinamikus kapu



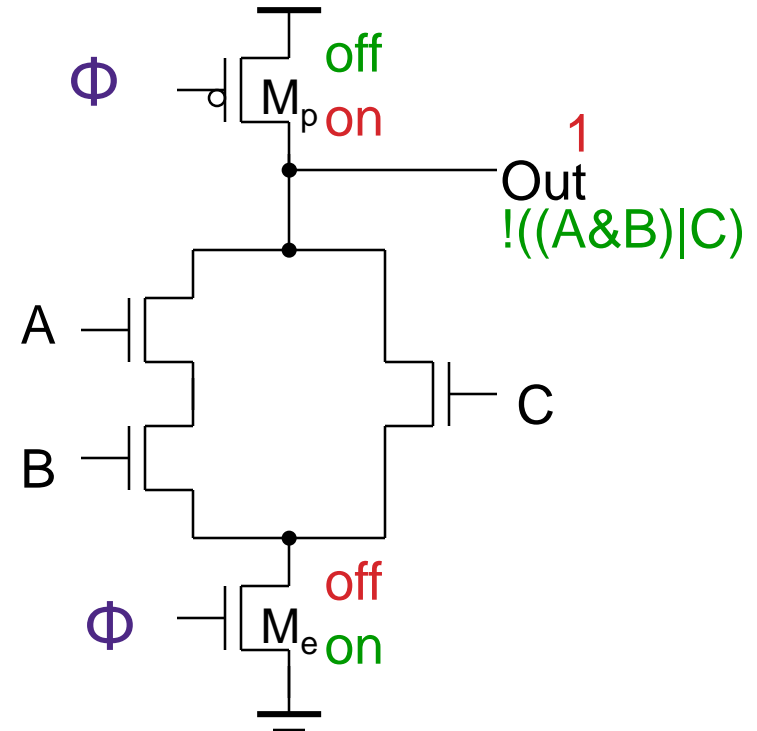
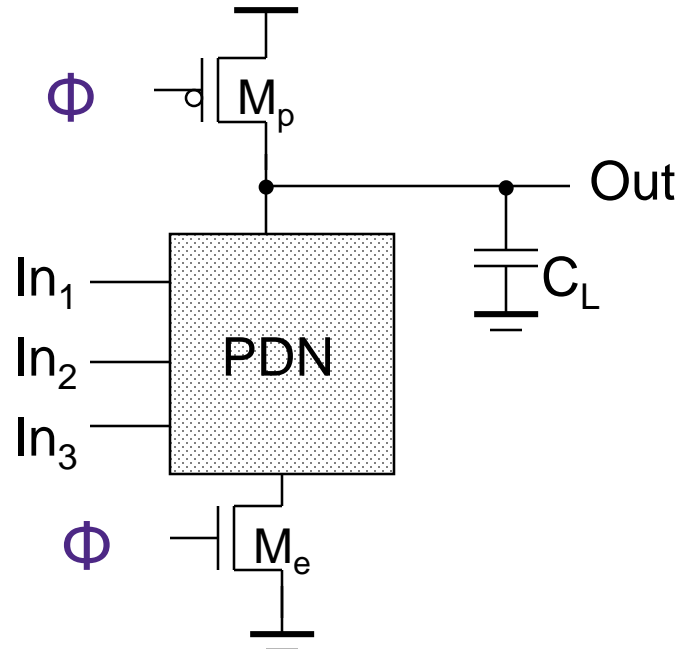
Két fázisú működés

Precharge ($\Phi = 0$)

Evaluate ($\Phi = 1$)



Dinamikus kapu



Két fázisú működés

Precharge ($\Phi = 0$)

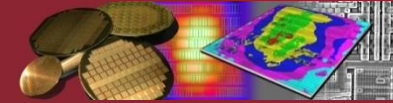
Evaluate ($\Phi = 1$)

Ha egy dinamikus kapu kimenetét kisütöttük, az nem süthető ki újból amíg egy *pre-charge* periódusban újra fel nem töltjük

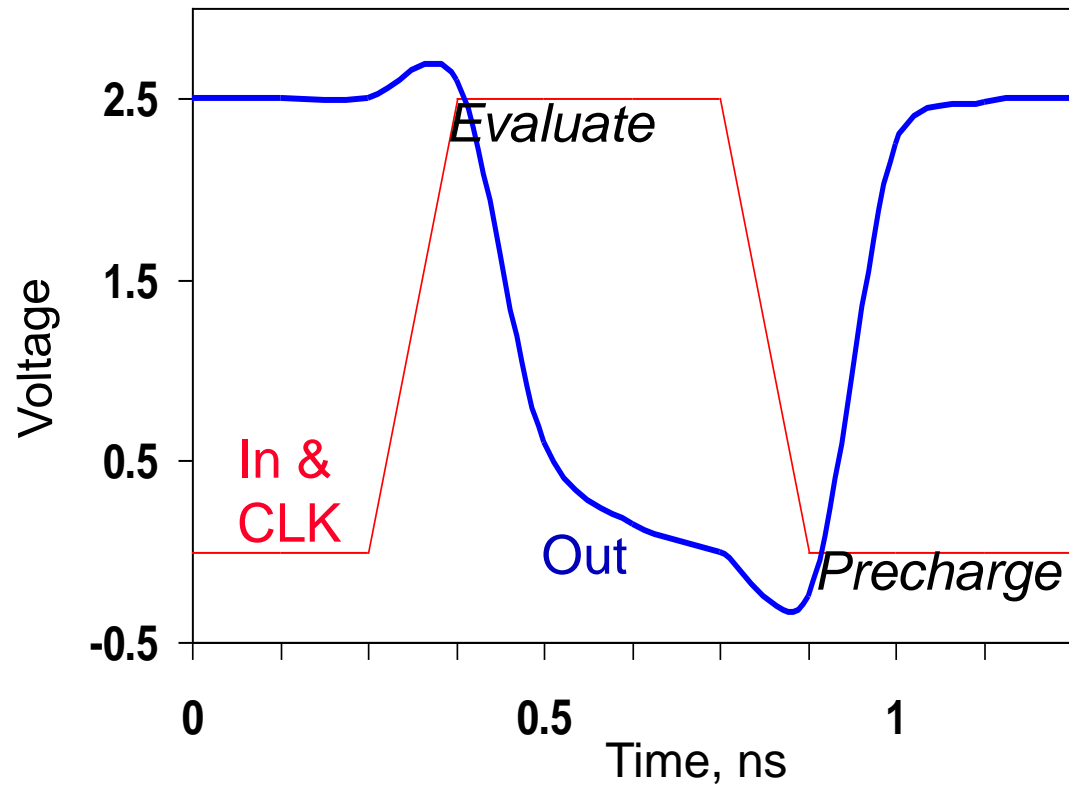
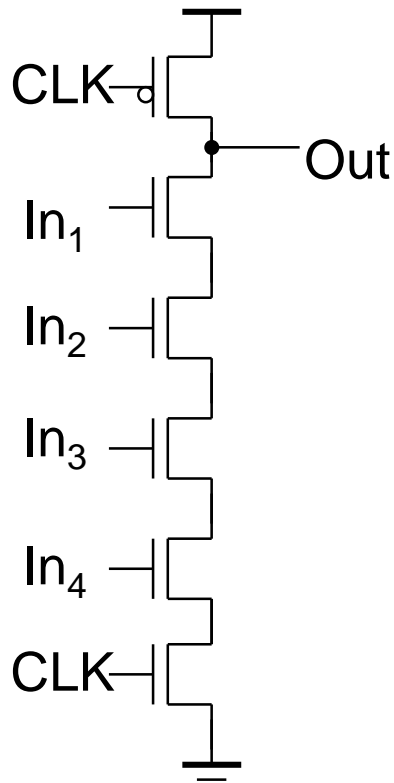


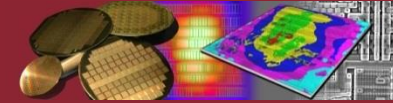
Dinamikus kapuk főbb jellemzői

- ▶ A logikai funkciót a PDN valósítja meg
 - $2N$ tranzisztor helyett $N+2$ tranzisztor elegendő
 - kisebb helyfoglalás mint statikus CMOS-nál
- ▶ Geometriai arányok nem izgalmasak a működés szempontjából
- ▶ Csak dinamikus teljesítményfelvétel (nincs egymásba vezetés)
- ▶ Előtöltő órajel kell



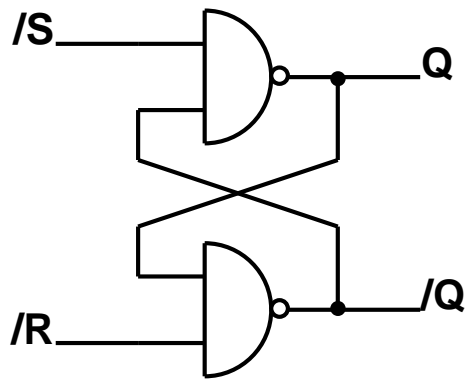
Dinamikus viselkedés





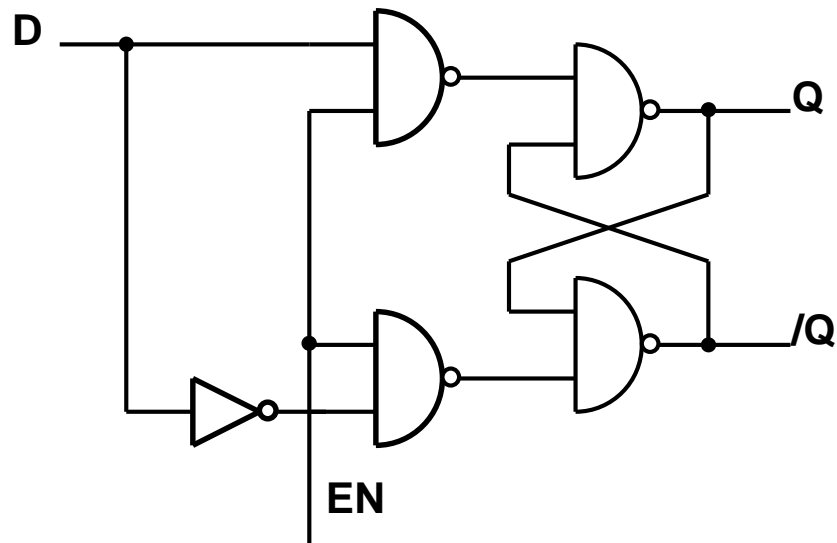
Statikus tárolók

- ▶ Logikai kapukból építhetők fel, visszacsatolással



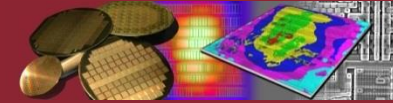
RS-latch

Kibővítvé: D-latch



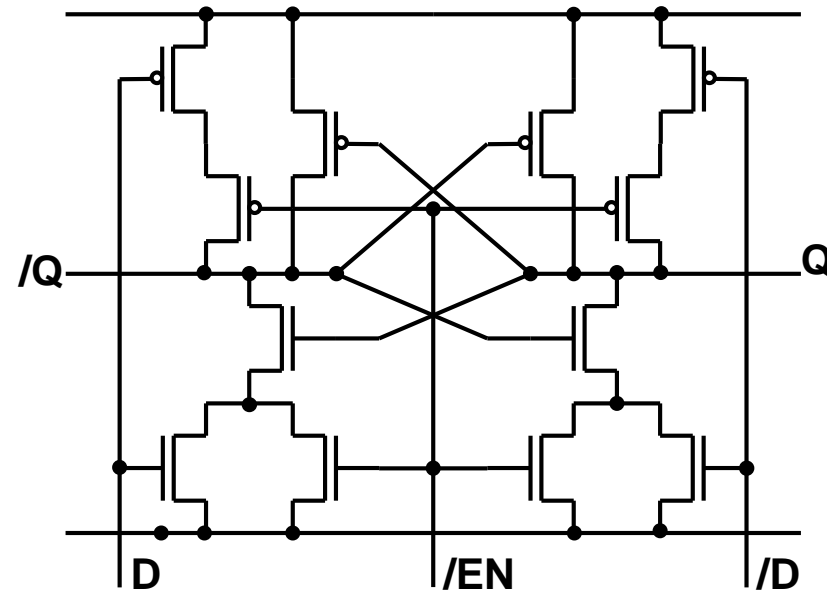
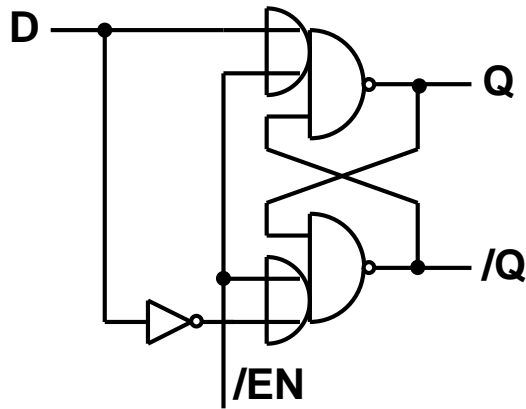
D-latch

5 cella, 18 tranzisztor

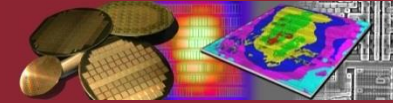


D latch

► OR-AND-INVERT kapus kivitel:

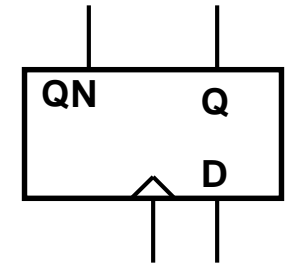
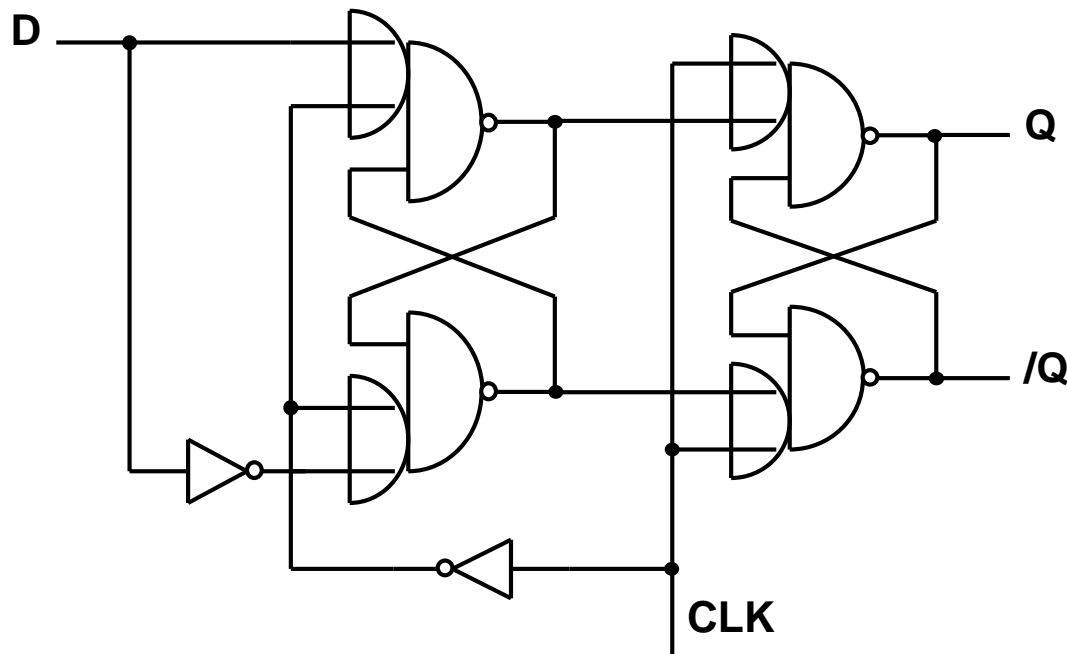


Dinamikus verzió kevesebb
tranzisztort igényelt



D flip-flop

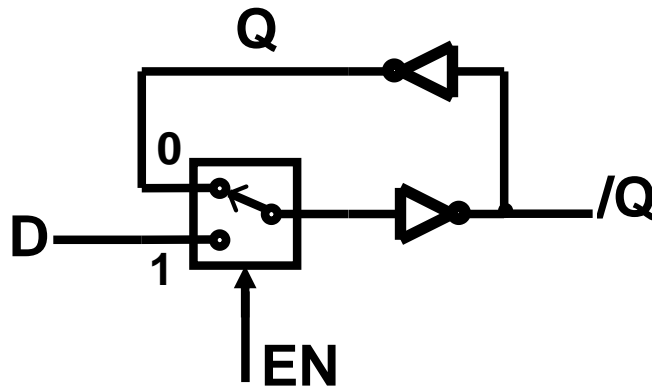
- ▶ 2 db D latch sorba kötve és ellenütemű órajellel vezérelve





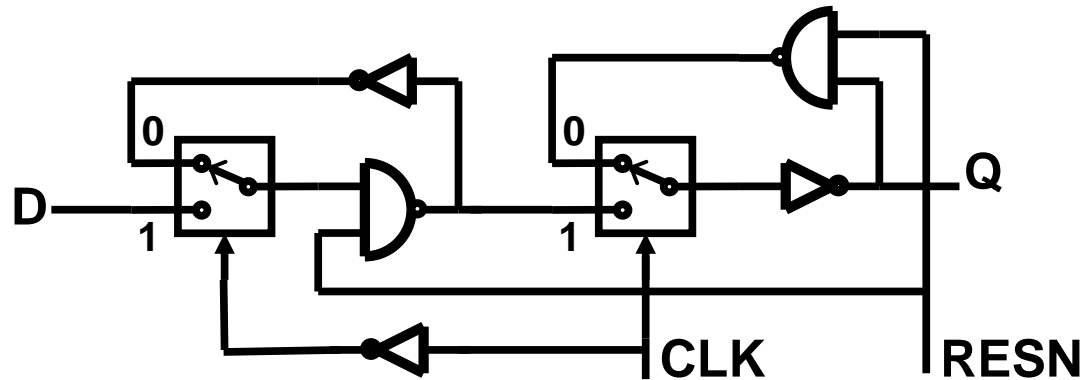
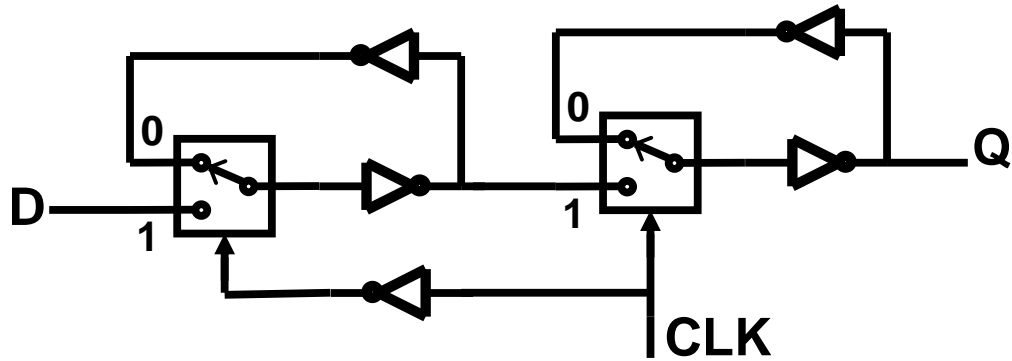
Kvázizstatikus latch

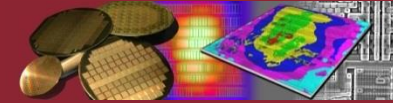
- Multiplexer + 2 inverter
- EN=1 transzparens
- EN=0 visszacsatolt



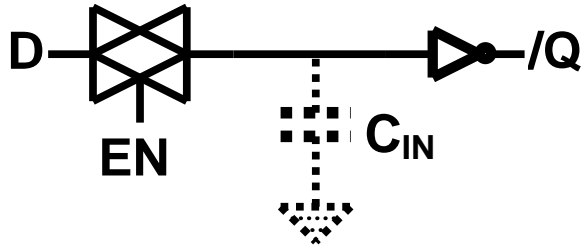


Kvázizstatikus D flip-flop

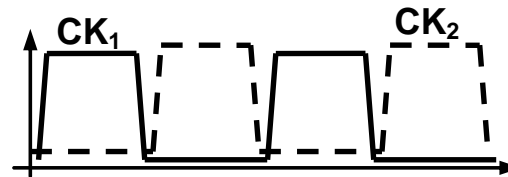
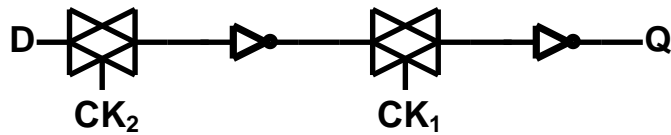




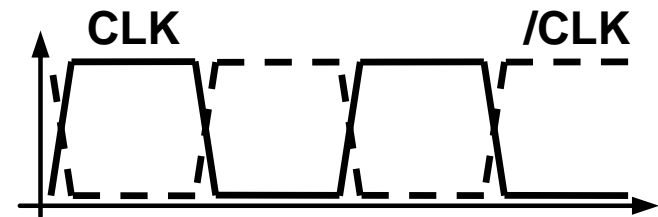
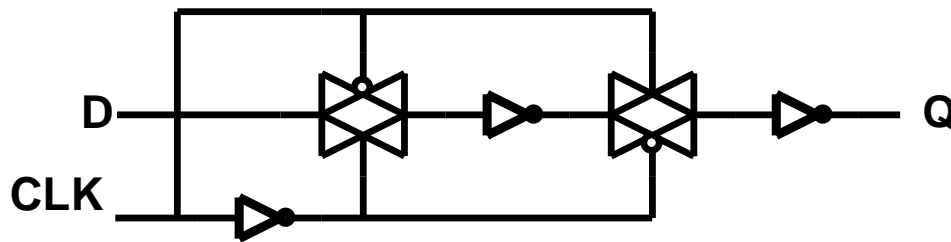
Dinamikus latch és flipflop



- Dinamikus latch
- EN=1 transzparens
- EN=0 a kapacitás töltése tárolja az információt



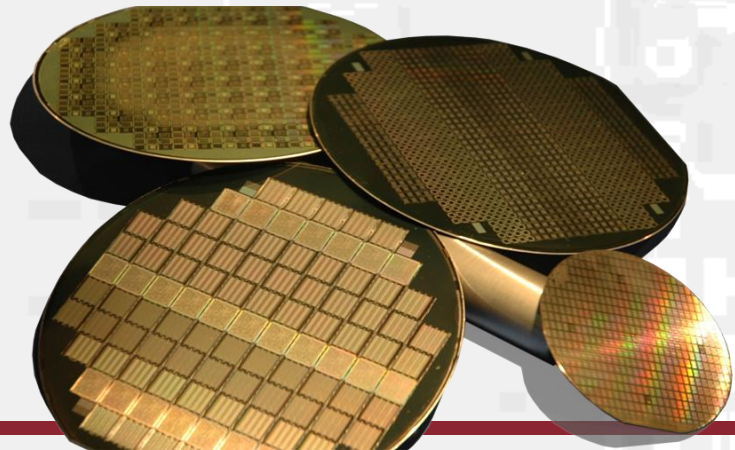
- Dinamikus Master- Slave flip-flop nem átlapoló és átlapoló órajellel





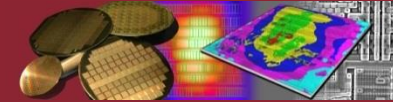
Budapesti Műszaki és Gazdaságtudományi Egyetem
Elektronikus Eszközök Tanszéke

Nagyfrekvenciás logikák

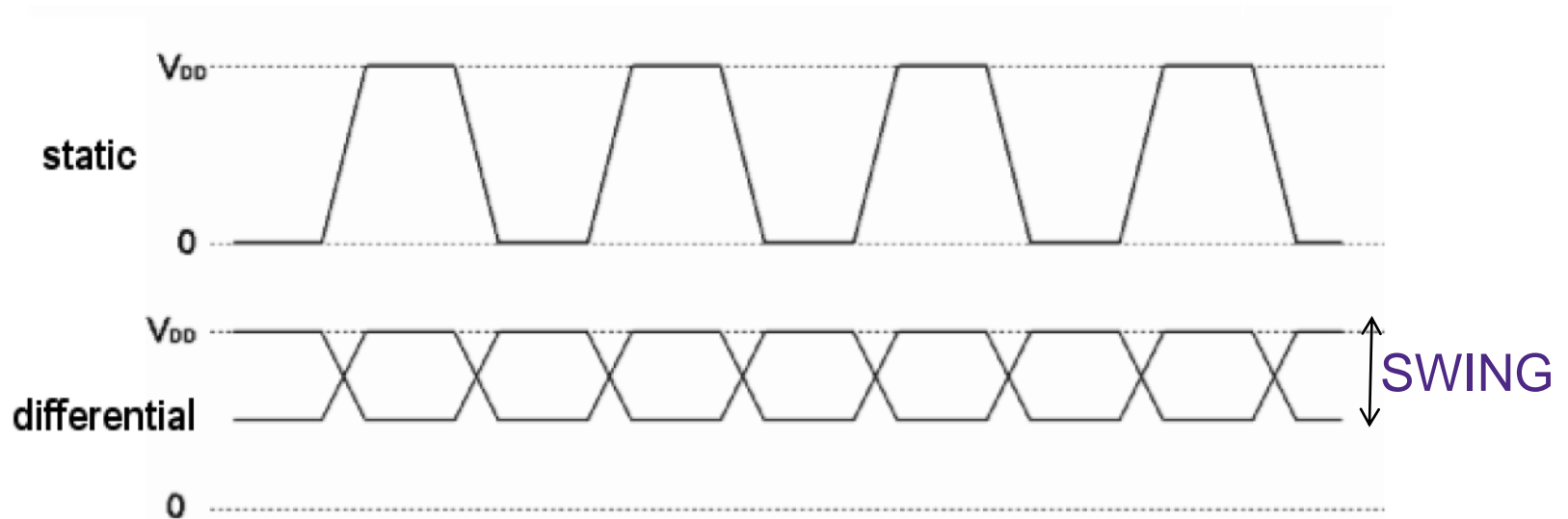


Bognár György
bognar@eet.bme.hu

<http://www.eet.bme.hu>



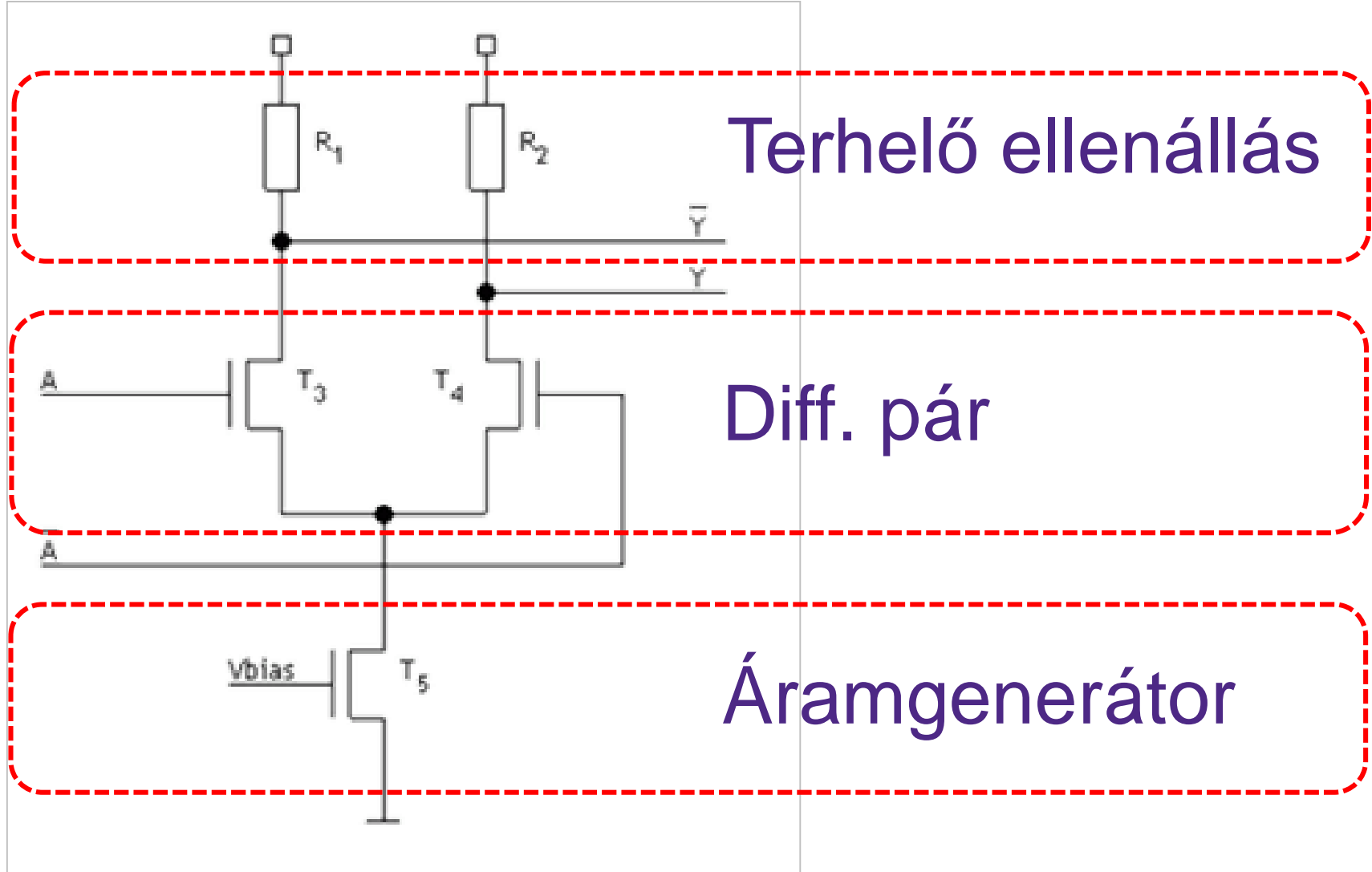
SCL – differenciális logika

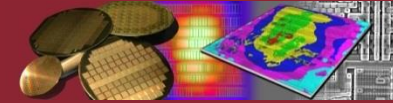


- Logikai magas $V_+ - V_- > 0$
- Logikai alacsony $V_+ - V_- < 0$



SCL alapkapcsolás (differenciálerősítő)

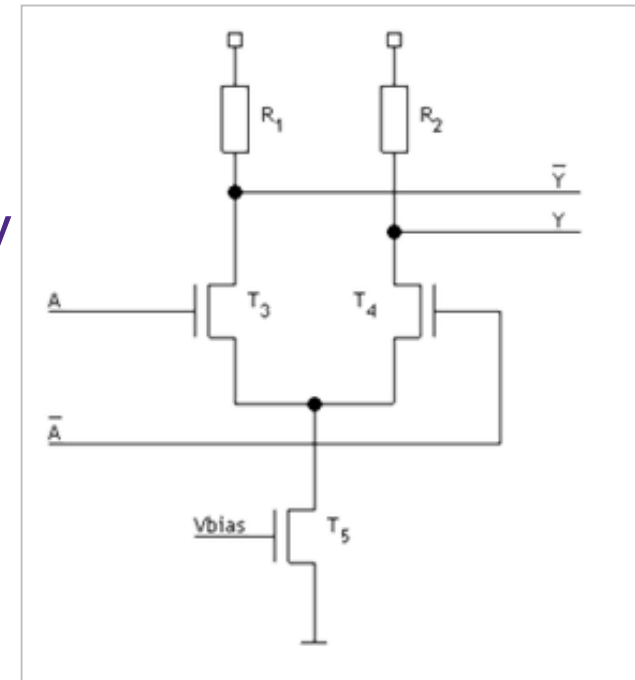
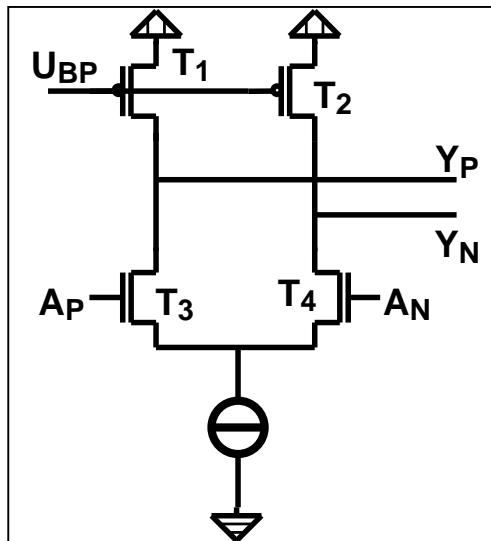




SCL alapkapcsolás

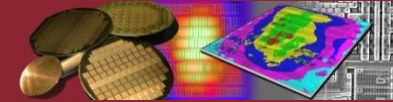
► Terhelő ellenállások

- gyakran poliszilíciumból, de túl nagy helyfoglalás és szórási problémák
- Lineáris tartományban működő pMOS (U_{BP} pl. 0V)

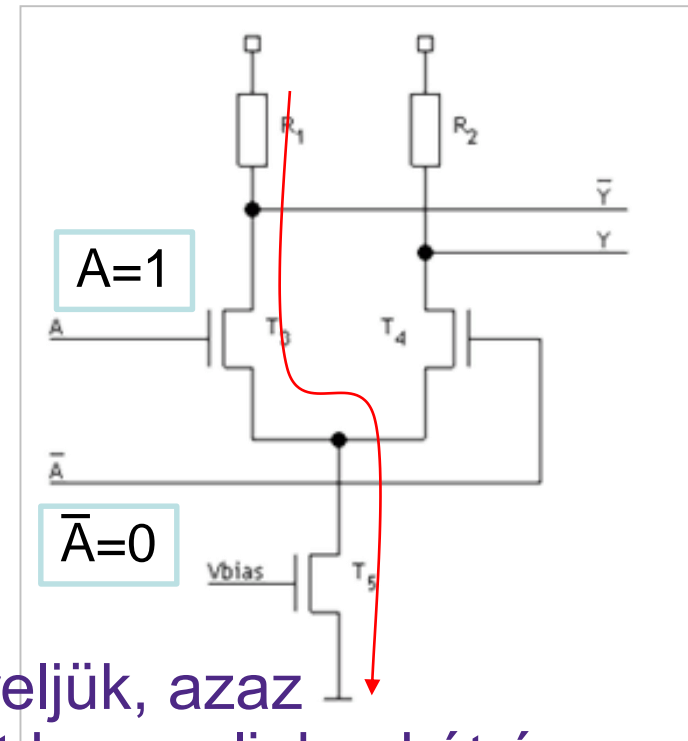
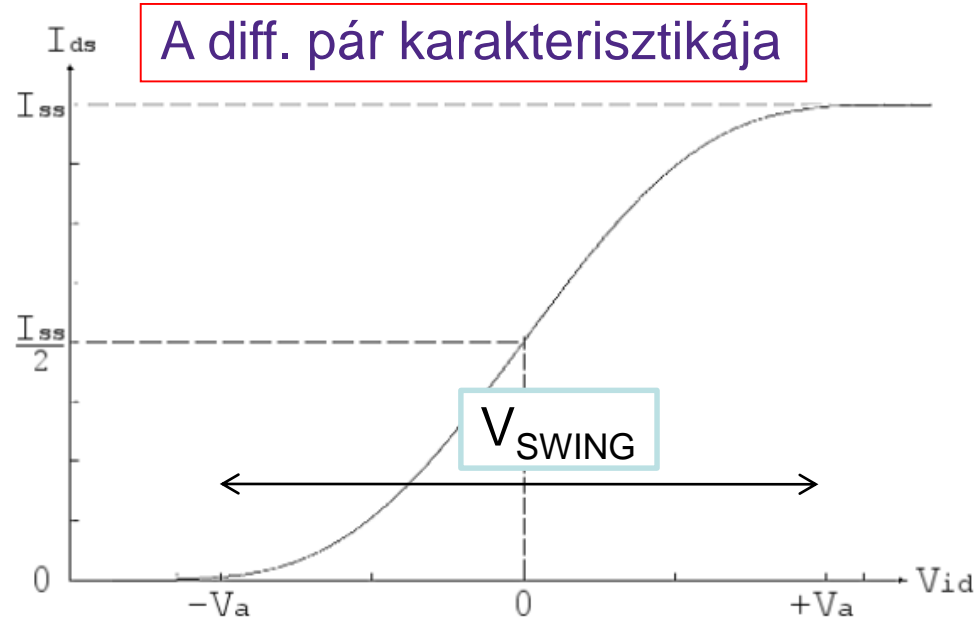


► Áramgenerátor

- lehet bonyolultabb felépítésű is



SCL alapkapcsolás működése

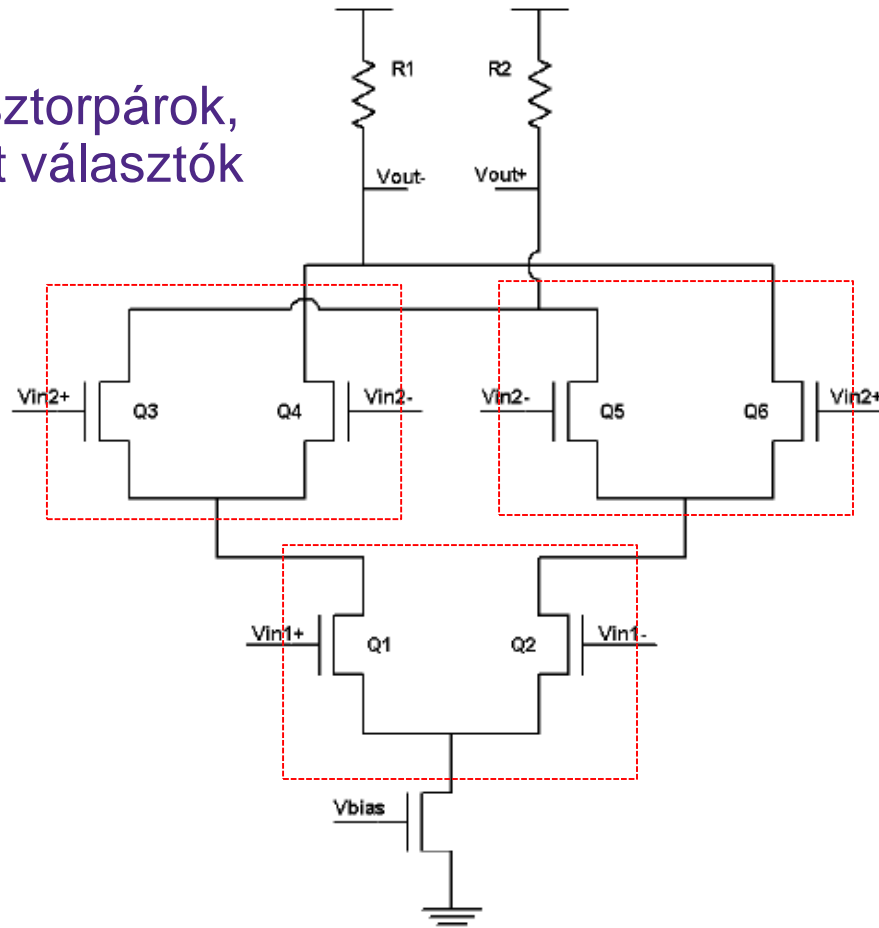


- ▶ A differenciálerősítőt teljesen kivezéljük, azaz tulajdonképpen a munkaponti áramot kapcsoljuk a két ág között
- ▶ Így az egyik kimenet V_{DD} tápfeszültségen, a másik kimenet pedig $V_{DD} - I_{BIAS} \cdot R$ feszültség értéken lesz
- ▶ Fogyasztás: statikus $P = V_{DD} \cdot I_{BIAS}$



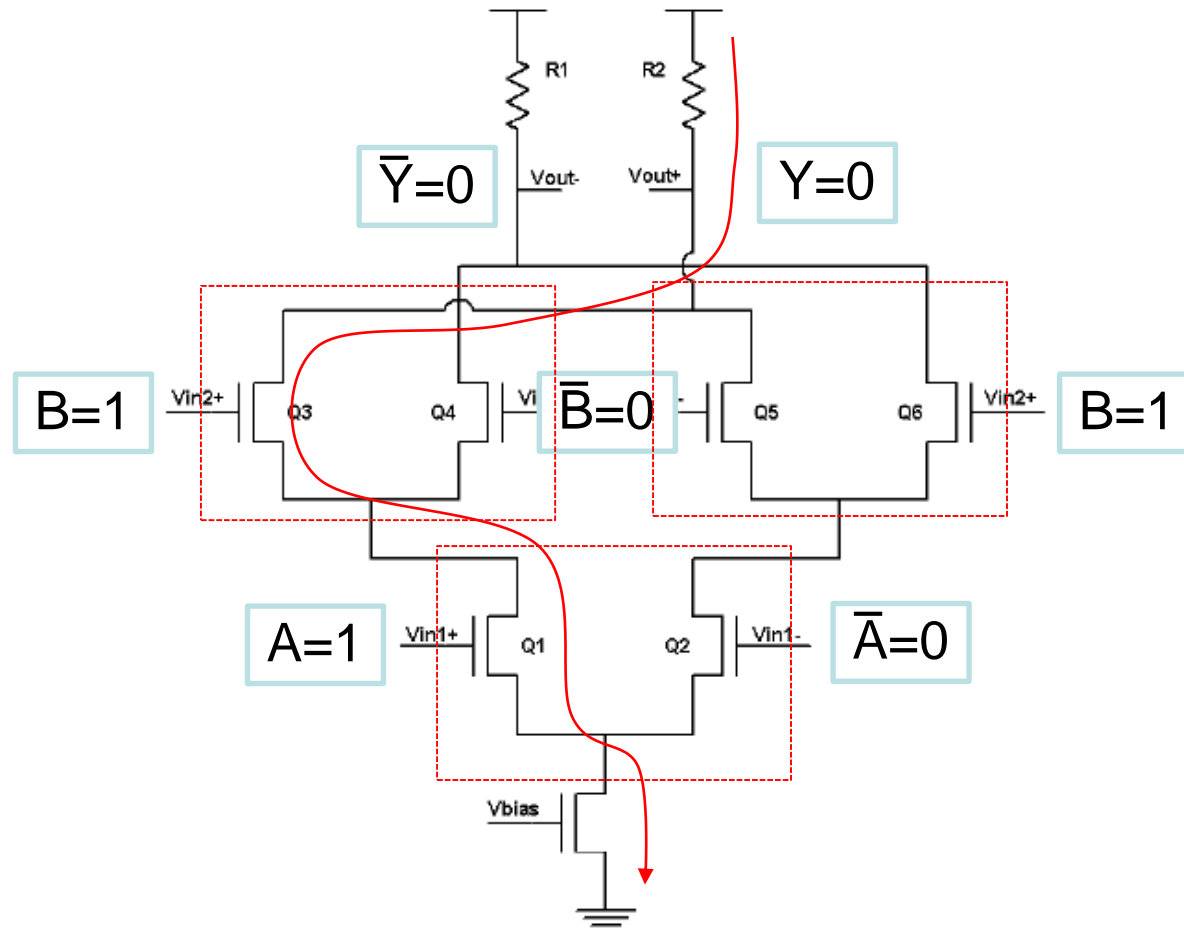
SCL XOR kapu kapcsolási rajz

A differenciál tranzisztorpárok, valójában az áramút választók



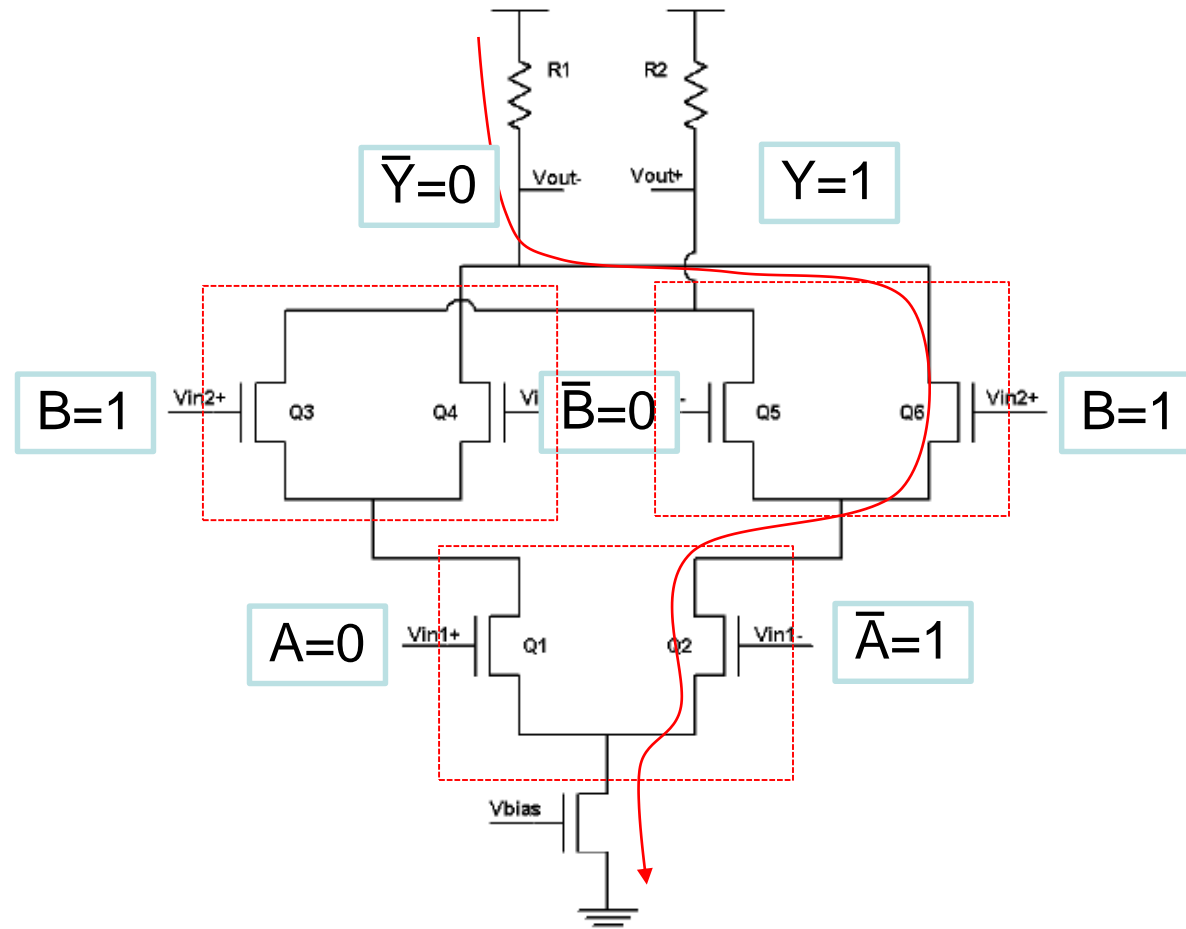


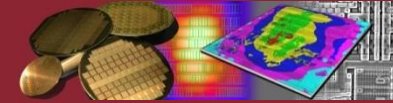
SCL XOR kapu A=1 B=1 kombináció



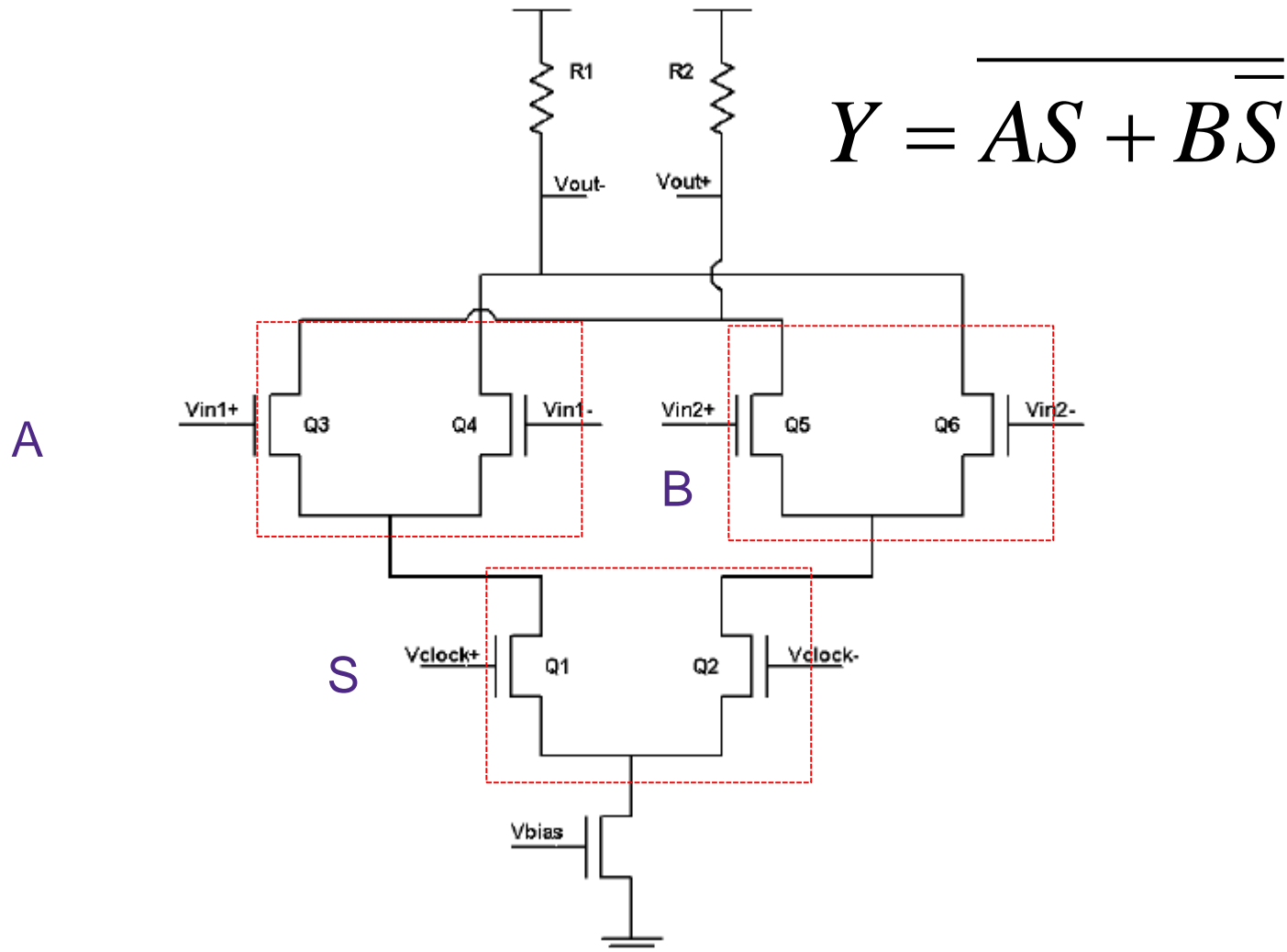


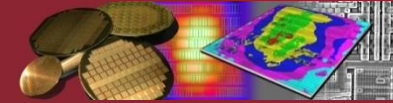
SCL XOR kapu A=0 B=1 kombináció





SCL multiplexer





SCL D-latch

