

Mikroelektronikai tervezés tantermi gyakorlat

Gärtner Péter, Ress Sándor

2010. április

1. Az átcsúszó selejt

Előadáson levezetve az átcsúszó selejtre:

Y = yield, kihozatal

C = fault coverage, hibalefedés

A = átcsúszó selejt

$$A = \frac{(1 - Y)(1 - C)}{1 - C(1 - Y)}$$

Most a kérdés úgy szól: Mekkora legyen legalább a kihozatal, ha az átcsúszó selejt legfeljebb 1% lehet, a teszt hibalefedése pedig 97%?

Ehhez a képletet át lehet rendezni és be lehet helyettesíteni:

$$Y = 1 - \frac{A}{1 + AC - C} = 1 - \frac{0.01}{1 + 0.01 \cdot 0.97 - 0.97} = 0.75(75\%)$$

És egy fordított kérdésként: Mekkora legyen legalább a hibalefedés, ha az átcsúszó selejt legfeljebb 0.5% lehet, a kihozatal pedig 70% ?

Ehhez a képletet át lehet rendezni és be lehet helyettesíteni:

$$C = 1 - \frac{AY}{(1 - A)(1 - Y)} = 1 - \frac{0.005 \cdot 0.7}{(1 - 0.005)(1 - 0.70)} = 0.988(98.8\%)$$

2. CMOS alapkápek méretezési kérdései

A méretezés során a rendelkezésre álló alapinverter tranzisztorának méreteiből kell kiindulni. Ha az inverter fel és lefutási késleltetéseivel közel egyező késleltetést szeretnénk elérni, ehhez az szükséges, hogy minden egyes áramút (feltöltés vagy kisütés) árama megegyezzen az alapinverter áramával. Ezt legegyszerűbben úgy tehetjük meg, hogy az áramút eredő tranzisztorának W/L aránya kell, hogy megegyezzen az alapinverter megfelelő tranzisztorának méretével.

Párhuzamosan kapcsolt tranzisztorok esetén W (erre nem lesz szükség), sorba kapcsolt tranzisztorok esetén pedig L adódik össze. (ez nem teljesen igaz, de a gyakorlatban digitális kapuk méretezésére ez az összefüggés megfelelő).

Tervezzük meg az egyszeres meghajtóképességű, kétbemenetű NAND kaput és az $Y = \overline{AB + C}$ komplex kaput, ha az egyszeres meghajtóképességű inverter méretei:

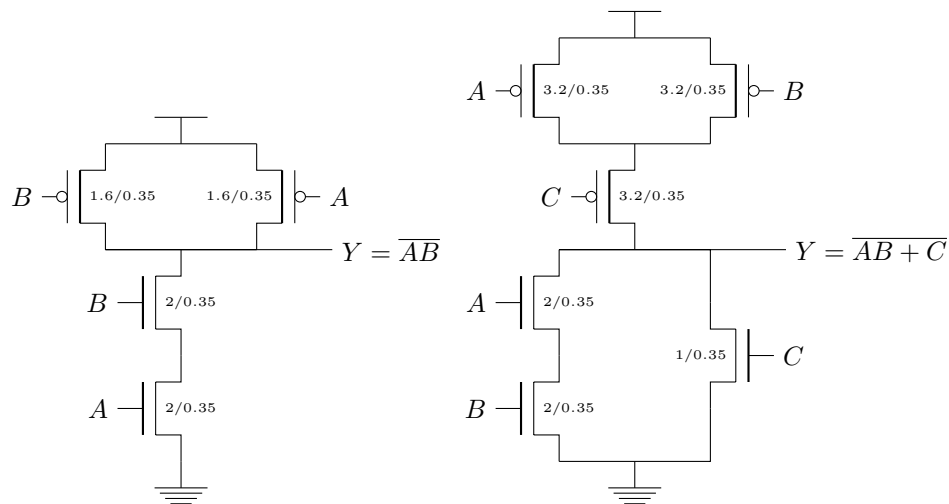
pMOS: $1.6 \mu\text{m}/0.35 \mu\text{m}$

nMOS: $1 \mu\text{m}/0.35 \mu\text{m}$

A kapcsolási rajz megtervezése Mikroelektronika c. tárgyból közismert. Szokásosan az nMOS tranzisztorokból álló PDN-t kell megtervezni, majd ennek duális hálózata lesz a pMOS tranzisztorokból álló PUN.

Amennyiben megvalósítható, a kapcsolási rajzot úgy kell megszerkeszteni, hogy a kimenetre lehetőség szerint minél kevesebb tranzisztor drain-je kapcsolódjon. (a kimenetet terhelő parazita kapacitások miatt)

A méretezés is könnyen megoldható, pl. a komplex kapu esetén a kimenet feltöltése pl. az A, C útvonalon történhet, azaz ezeket a tranzisztorokat az inverter pMOS tranzisztoránál kétszer szélesebbre kell méretezni stb, ahogy ezt az 1. ábra mutatja.



1. ábra. A CMOS NAND kapu és az $Y = \overline{AB + C}$ komplex kapu méretezett kapcsolási rajza

3. Pálcikadiagramm készítése

A pálcikadiagramm (pontosabban a layout) elkészítésekor arra kell ügyelnünk, hogy az aktív zónát lehetőség szerint ne bontsuk meg – ez nagy helyvesztéssel jár. (Ez persze nem minden esetben tehető meg.)

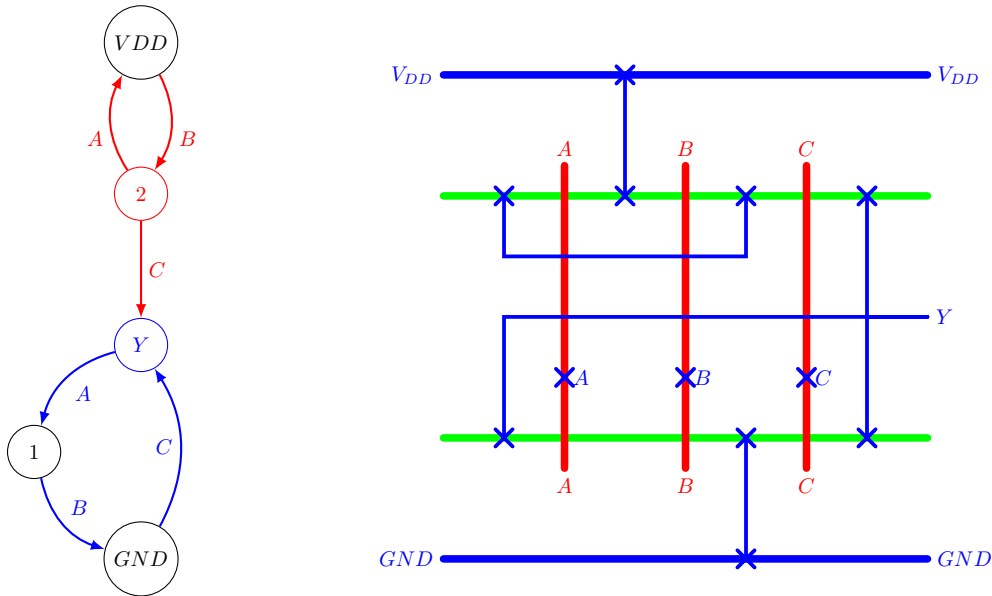
Ez a feladat nagy hasonlóságot mutat a Königsbergi hidak 1736-ból származó problémájával. . . , ezért készítsük el a kapcsolási gráfját!

A gráf csomópontjai a kapcsolási rajz elektromos értelemben vett csomópontjai, a gráf élei pedig a tranzisztorok. Az aktív zóna felbontása nélkül akkor lehet a kaput megvalósítani, ha mindkét hálózatban (PDN ill. PUN) találunk nyílt Euler utat, azaz be tudjuk járni a hálózat teljes gráfját úgy, hogy minden élen csak egyszer haladunk át, és ez a két útvonal megegyezik.

Az $Y = \overline{AB} + C$ komplex kapu esetén egy ilyen útvonal például az A–B–C útvonal, ez könnyen ellenőrizhető a kapcsolási rajz a 2. ábrán látható gráfján. (a PUN piros, a PDN kék színnel van feltüntetve, a kezdő csomópont szintén piros ill. kék színű)

A tervezés menete a következő:

1. Az útvonalnak megfelelően sorban felrajzoljuk a poli szilícium vezetékévezést.
2. A tranzisztorok két oldalán feltüntetjük az útvonalnak megfelelő csomópontokat
3. Összehuzalozzuk a csomópontokat
4. Elhelyezzük a gate kontaktusokat

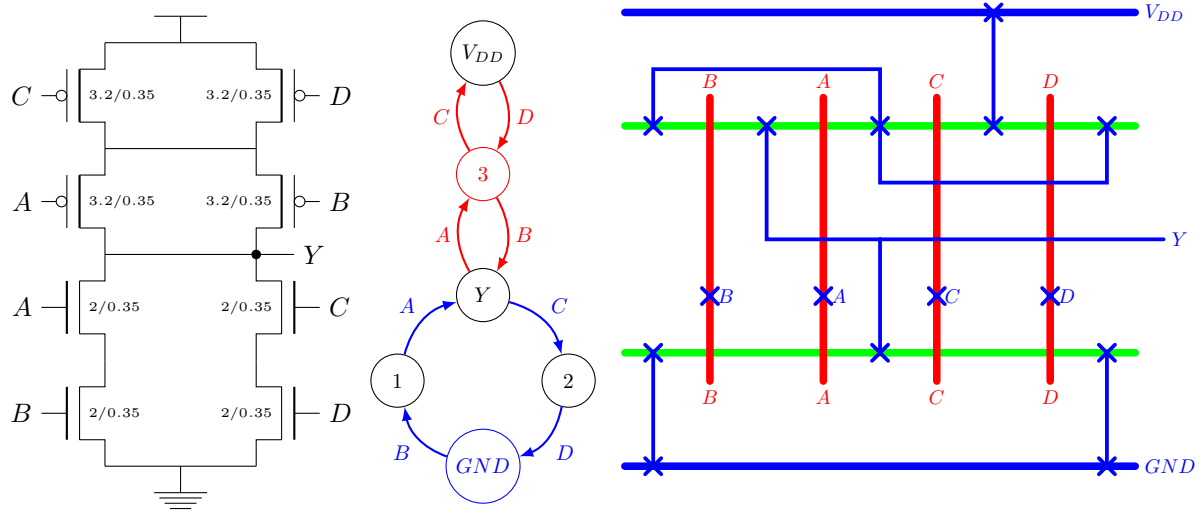


2. ábra. Az $Y = \overline{AB} + C$ komplex kapu gráfja és pálcikadiagrammja

4. További tervezési példák

Néhány további példa az előzőek illusztrálására. Sok, különböző megoldás létezik, az itt bemutatott megoldások (ha nincs sajtóhiba) elvben helyes megoldások, de semmiképpen sem tekinthetők optimálisnak. Az optimális megoldást a kész layout szimulációjával lehetne kiválasztani, a helyfoglalás – fogyasztás – késleltetés követelményrendszer ismeretében.

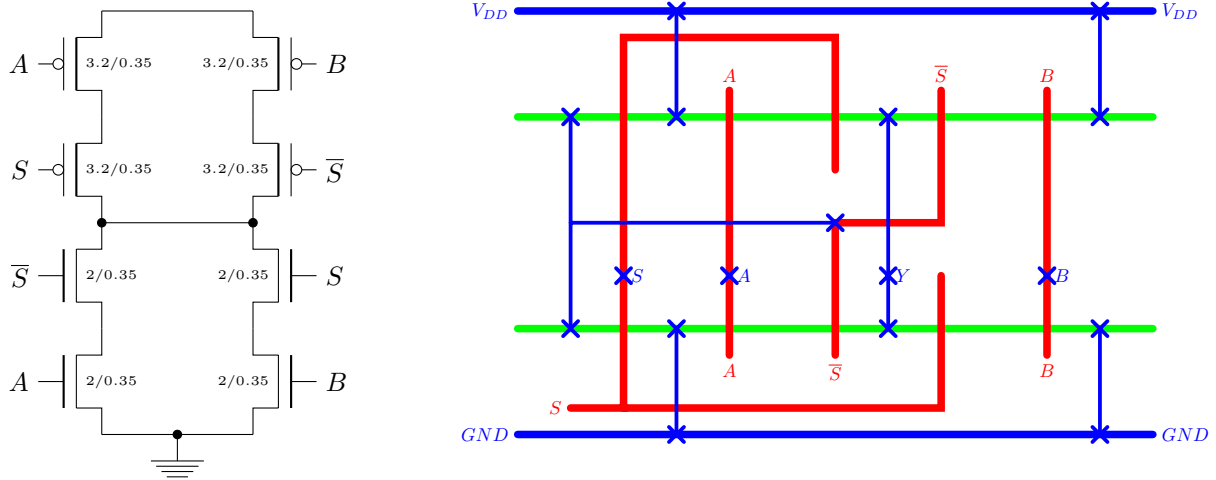
Méretezzük az $Y = \overline{AB} + \overline{CD}$ komplex kaput és készítsük el a pálcika diagrammot!



3. ábra. Az $Y = \overline{AB} + \overline{CD}$ komplex kapu kapcsolási rajza, gráfja és pálcikadiagrammja

Méretezzük az $Y = \overline{A\bar{S}} + BS$ invertáló multiplexert és készítsük el a pálcika diagrammot!

Az invertáló multiplexert két tristate inverterből rakjuk össze, ahogy az a 4. ábrán látható. A pálcikadiagrammon meg van valósítva az \bar{S} jelet előállító, minimális méretű inverter is.



4. ábra. Az invertáló multiplexer kapcsolási rajza és pálcikadiagrammja