

#### Logi-termikus szimuláció sztenderd tervező rendszerekben

#### **Timár András** Témavezető: Dr. Rencz Márta, egyetemi tanár

BME, Elektronikus Eszközök Tanszéke

Doktori értekezés nyilvános vitája Budapest, 2013. december 4.

## Célkitűzések, motiváció

- A melegedés megváltoztatja a működést az elektromos áramkörökben, ezzel már tervezéskor számolni kell!
- Az elektro-termikus szimuláció több absztrakciós szinten végezhető

eszköz szint	áramkör szint	rendszer szint
1 tranzisztor	2–10 tranzisztor	$\sim 10000$ kapu
Gate metal Source Dan Gate Selectric II DD D D D Selectric Canducting channel		

- ▶ Jelenleg a logikai szimulátorok nem veszik figyelembe az eszköz hőmérsékletét és hőtermelését → logi-termikus szimuláció.
- Szükséges a modern mikroelektronikai áramkörök termikus és logikai vizsgálata EDA (Electronic Design Automation) környezetben.
- FP7-es keretrendszerbeli THERMINATOR integrált projekt

### Logi-termikus szimuláció EDA környezetben

#### Tézis

Új módszert és erre épülő szimulátort dolgoztam ki korszerű sztenderd cellás, digitális integrált áramkörök logi-termikus szimulációjára. A logi-termikus szimuláció a digitális integrált áramkörök cella szintű logikai és termikus együttes szimulációjára ad lehetőséget. A szimuláció során a pillanatnyi teljesítmény-eloszlást, mint folyamatosan változó gerjesztést csatolom egy termikus szimulátorba. A módszer segítségével az áramkör felületén működés közben kialakuló és változó hőmérséklet-eloszlás nyomon követhető, és a kiugróan magas hőmérsékletű területek (hot-spotok) felderíthetőek. Két új módszert dolgoztam ki a logi-termikus szimulációk gyorsítására, melyek együttesen és egymástól függetlenül is alkalmazhatóak.

Kapcsolódó publikációk: [J1],[C1,C2,C3]

#### Altézis

Kidolgoztam egy modern EDA (Electronic Design Automation) környezetekhez illeszkedő, szabványos, logi-termikus elven működő szimulátort. A szimulátor a fogyasztások és időzítések meghatározására olyan adatbázist használ, amely a kvantumfizikai hatásokat is figyelembe veszi. A logikai és termikus szimulátorok összekapcsolása az általam kidolgozott kommunikációs eszköz segítségével egy hardver leíró nyelv szabványos illesztő felületén keresztül történik. A kidolgozott módszer szabványos interfészeken keresztül kommunikál az ipari logikai szimulátorokkal, szabványos bemeneti- és kimeneti fájlformátumokkal dolgozik. A módszer tetszőleges EDA környezethez illeszthető.

Kapcsolódó publikációk: [J1,J2,J3],[C4,C5,C6]



#### EDA Logi-termikus szimuláció



#### EDA Logi-termikus szimuláció

![](_page_7_Figure_1.jpeg)

#### EDA Logi-termikus szimuláció

![](_page_8_Figure_1.jpeg)

# Verilog PLI

![](_page_9_Figure_1.jpeg)

2. kódrészlet. PLI C kód

#### Verilog PLI

- Időzítések, zajparaméterek és disszipációk minden cellára
- Szabványos adatbázis
- $\blacktriangleright$  Ha nincs Liberty adatbázisunk  $\rightarrow$  SPICE karakterizáció
- Példa Liberty fájl:

#### Altézis

Új gyorsítási módszert dolgoztam ki, amely a térbeli felbontás csökkentésén alapul. Az általam kidolgozott módszer a sztenderd cellás áramkör felületét szükség esetén partíciókra bontja, és ezekre a partíciókra számolja ki a sztenderd cellák fogyasztásából adódó hőmérsékleteket. Az áramkört felépítő sztenderd cellák számának növekedésével négyzetesen növekszik a termikus modell generálásához szükséges idő. A particionálással a sztenderd cellák számától függetlenné tehető a termikus modell generálásának időtartama. A particionálási módszer használata a felhasználó számára opcionális, és a termikus szimulációban alkalmazott térbeli felbontás mérete is szabadon megválasztható. Különböző partíció méretek és modellgenerálási idők vizsgálata alapján kimutattam, hogy a 10×10-es particionálás a felbontás és a számítási idő szempontjából elfogadható. Kapcsolódó publikációk: []4],[C7]

- Cellák helyett hálószerű felbontás
- A termikus modell generálási ideje a cellák számával négyzetesen növekszik
- Partícionálással a termikus modell számítása gyorsabb

#### 10 imes 10-es partícionálás

![](_page_12_Picture_5.jpeg)

Tetszőleges felosztás:

![](_page_12_Picture_7.jpeg)

#### Particionálás

#### A particionálás hibája és a modell generálási idő

- Hiba a particionálás nélküli esethez képest.
- Particionálás nélkül egy bonyolult áramkör szimulációja ~2 hét.
- Feldolgozandó adatmennyiség: több terabájt.

![](_page_13_Figure_4.jpeg)

#### Particionálás

#### Altézis

Új gyorsítási módszert dolgoztam ki a szimuláció időbeli felbontásának skálázásával. Egy modern digitális rendszer termikus időállandói nagyságrendekkel nagyobbak az elektromos időállandóknál (pl. órajel periódusidő). A logikai szimuláció nagy órajel frekvencián hosszú ideig tarthat a termikus állandósult állapot megközelítéséig. A nagyfrekvenciás rendszer működési frekvenciáját lecsökkentve és a kapcsolási tranziensekhez tartozó dinamikus fogyasztást arányosan növelve, a rendszer töredék idő alatt a termikus tranziens tetszőleges állapotába hozható. A kitűzött termikus állapotot elérve az eredeti működési frekvencián és fogyasztási értékekkel folytatható a szimuláció. Kapcsolódó publikációk: [C8]

## A szimuláció gyorsítása

- Gigahertzes működésnél a nagy termikus időállandók miatt sokáig tart a szimuláció (1–10 sec,1 ns felbontással)
- Egy skálafaktorral (pl. f = 10) arányosan növelünk meg minden késleltetést és fogyasztást
- ▶ Késleltetés  $\uparrow$ , frekvencia ( $\nu$ )  $\downarrow$ , kapcsolási fogyasztás  $\uparrow$

$$E = C \cdot U^{2}$$

$$P = C \cdot U^{2} \cdot \nu$$

$$P' = E' \cdot \nu' = 10E \cdot \frac{1}{10}\nu = E \cdot \nu$$

$$P' = P$$

### A skálázással bevitt hiba és a szimuláció időtartama

- A skálázással bevitt disszipációszámítás kvantálási hibája elhanyagolható (< 0,3%)</li>
- A szimuláció időtartama töredékére csökkent

![](_page_16_Figure_3.jpeg)

EDA Logi-termikus szimuláció

#### Gyorsítás

## Hőmérsékletfüggő időzítések

#### Tézis

Eljárást dolgoztam ki sztenderd cellás integrált áramkörök hőmérsékletfüggő időzítéseinek szimuláció közben történő nyomon követésére és az esetleges hőmérsékletfüggő funkcionális meghibásodások felderítésére. A tervezőrendszerekben használt logikai szimulátorok nem veszik figyelembe az áramkör működése közben kialakuló hőmérsékleti viszonyokat. Az általam kidolgozott módszer segítségével az áramkör felületén kialakuló hőmérséklet eloszlás jellege miatt megváltozott időzítési viszonyok meghatározhatóak. A módszer működése során a termikus szimulációs eredményeket visszacsatolom a logikai szimulációba az egyes cellák hőmérsékletfüggő késleltetéseként. A módszer segítségével a cellák időzítési viszonyainak változása nyomon követhető. Kapcsolódó publikációk: [J2,J4],[C6,C7]

- A gyűrűs rezgőkör frekvenciája eltolódik a változó hőmérséklet miatt
- Gyűrűs rezgőkör: 1 NAND + 10 inverter

![](_page_19_Figure_3.jpeg)

### Késleltetés-hőmérséklet függések

![](_page_20_Figure_1.jpeg)

Inverter cella késleltetés-hőmérséklet karakterisztikája

NAND cella késleltetés-hőmérséklet karakterisztikája

- 3 hőmérsékleti sarokpontban tárolja el az időzítéseket! (minimum:typical:maximum)
- ► A szintézer generálja → pre- és post-layout
- Késleltetések minden cellára, setup/hold idők definíciója, stb.

```
(PORT R (::0.00) (::0.00))
(IOPATH CLK Q (0.44:0.47:0.49) (0.50:0.51:0.53))
(IOPATH R Q (::0.00) (0.57:0.57:0.58))
```

# Teljesítmény térkép

- A puffer cellák fogyasztása 1 mW/billenés
- Az inverterek fogyasztása 1 µW/billenés

![](_page_22_Figure_3.jpeg)

## Hőmérsékleti térkép

A fogyasztási eloszlás alapján kialakult hőmérsékleti térkép

![](_page_23_Figure_2.jpeg)

- A hőmérséklet növekedésével csökken a rezgőkör frekvenciája
- Az állandósult hőmérséklet megegyezik a kézzel számolttal (43,7 °C)

![](_page_24_Figure_3.jpeg)

### SPICE-logi-termikus verifikáció

![](_page_25_Figure_1.jpeg)

![](_page_25_Figure_2.jpeg)

Hőmérsékletfüggő időzítések

#### SPICE-logi-termikus

### A frekvenciamenet SPICE verifikációja

► Az eltérés 3,5% alatti

![](_page_26_Figure_2.jpeg)

Hőmérsékletfüggő időzítések

#### SPICE-logi-termikus

### CellTherm verifikációja a SUNRED algoritmussal

- Verifikáció az EET-n fejlesztett más elvű logi-termikus szimulátorral
- Az eltérés 1% alatti

![](_page_27_Figure_3.jpeg)

Hőmérsékletfüggő időzítések

#### SUNRED

## lpari méretű és bonyolultságú áramkör

- POLITO Torinoi Műszaki Egyetem fejlesztése
- STMicroelectronics 65 nm-es CMOS technológia
- Jelfeldolgozó áramkör, 1490 cella

![](_page_28_Figure_4.jpeg)

#### STMicroelectronics áramkör szimulációja

![](_page_29_Figure_1.jpeg)

# Nagy felbontású hőmérsékletfüggő időzítési modell

#### Tézis

Új időzítési modellt dolgoztam ki, melynek segítségével az integrált áramkörök logitermikus szimulációja során a cellák hőmérséklettől függő időzítéseit hőmérsékletkésleltetés függvényekkel lehet figyelembe venni. Az általam kidolgozott modell segítségével olyan hatások is szimulálhatóak, mint a késleltetések inverz hőmérsékletfüggése. A modell megalkotásához a hőmérséklet-késleltetés függvényeket előzetesen minden cellára karakterizálni kell. Az új modell segítségével kimutattam, hogy a jelenleg használatos időzítési modellek bizonyos hőmérsékleti tartományokban nem megfelelően írják le a tényleges hőmérsékletfüggő működést. Javaslatot tettem a Liberty fájlformátum új modellel történő bővítésére.

Kapcsolódó publikációk: [J5],[C8]

### Probléma az SDF modellel

- A sarokpontok között lineáris interpolációra van szükség
- Az interpoláció miatt a késleltetések jelentősen eltérhetnek a valós értékektől!
- Csak a sarokpontoknál (design corners) pontos

![](_page_32_Figure_4.jpeg)

# A nagy felbontású és a linearizált SDF eredmények eltérése

- Töréspont a linearizált SDF karakterisztikában!
- A két görbe jellege között jelentős a különbség.
- Magasabb vagy alacsonyabb hőmérsékleteken a két modell eltérése növekszik.

![](_page_33_Figure_4.jpeg)

Nagy felbontású modell

Összehasonlítás

## Az eredmények gyakorlati alkalmazásai

- Kutatói munkám eredményeit a CellTherm alkalmazásban implementáltam
- Az eredményeket a THERMINATOR projekt partnerei használták
- A nemzetközi bírálóbizottság a projektet sikeresnek értékelte
- Az STMicroelectronics saját ipari áramkörein végez logi-termikus szimulációkat a CellTherm segítségével
- Az eredmények és a CellTherm alkalmazás szabványos EDA környezetekben használhatók
- További kutatási irányok
  - > Elhelyezés és huzalozás algoritmusok kiegészítése termikus kényszerekkel

- Dr. Rencz Mártának, konzulensemnek
- Dr. Székely Vladimírnek
- Dr. Bognár Györgynek
- Munkatársaimnak, kollégáimnak
- Családomnak

### Inverz hőmérsékletfüggés

- 100 nm alatti csíkszélesség tartományban a töltéshordozó mobilitás és a küszöbfeszültség hőmérsékletfüggésének viszonya úgy alakulhat, hogy bizonyos hőmérséklet felett gyorsul az eszköz.
- A klasszikus elmélet szerint a *worst-case* működés magas hőmérsékleten következik be.
- Ez az inverz hőmérsékletfüggés esetén nem így van.
- A worst-case működés nem feltétlenül a legmagasabb hőmérsékleten van.
  - PN-átmenet nyitófeszültségének hőmérsékletfüggése:

$$\left.\frac{\mathrm{d}U}{\mathrm{d}T}\right|_{Si}\approx-2\mathrm{mV}/^{\circ}\mathrm{K}.$$

Küszöbfeszültség hőmérsékletfüggése: $\frac{\partial V_t}{\partial T} \approx -2\mathrm{mV}/^{\circ}\mathrm{K}.$ 

Mozgékonyság hőmérsékletfüggése:

$$\frac{\partial \mu_0}{\partial T} = -\frac{3}{2}k \cdot T^{-\frac{5}{2}} = -\frac{3}{2}\frac{\mu_0}{T}.$$

MOS tranzisztor hőmérsékletfüggése:

$$\frac{\partial I_d}{\partial T} = -\frac{3}{2} \frac{I_d}{T} - \frac{2I_d}{(U_{gs} - V_t)} \cdot \frac{\partial V_t}{\partial T}.$$

Magyarázatok

- A munkámban felhasznált eszközök mindegyikét korábban már szimulációs eszközökkel és mérésekkel is verifikálták.
- A termikus modelleket generáló algoritmust (Thermodel) és termikus szimulátor alkalmazást (Thermanal) AnSYS FEM szimulációkkal és mérésekkel is validálták tanszéki kollégák. [1, 2, 3, 4]
- A Liberty teljesítmény- és időkarakterizációs adatbázist az iparban használják és SPICE szimulációkkal állítják elő.
- Az általam készített CellTherm logi-termikus szimulációs motort a SUNRED alkalmazás segítségével is verifikáltam, melyet Dr. Pohl László PhD disszertációjában mérésekkel és szimulációkkal validált. (Pohl László: Speciális félvezetőeszközök szimulációja szukcesszív hálózatredukciós módszerrel, 2012, BME EET)

#### A termikus modell számítása

![](_page_39_Figure_1.jpeg)

$$T_{1} = P_{1}Z_{11} + P_{2}Z_{12} + \dots + P_{n}Z_{1n}$$

$$T_{2} = P_{1}Z_{21} + P_{2}Z_{22} + \dots + P_{n}Z_{2n}$$

$$\vdots$$

$$T_{n} = P_{1}Z_{n1} + P_{2}Z_{n2} + \dots + P_{n}Z_{nn}$$

#### Magyarázatok

#### A termikus modell számítása

## Teljesítmény karakterizáció

![](_page_40_Figure_1.jpeg)

- Minden cellára
- Bemeneti meredekséggel és terhelő kapacitással paraméterezve
- Analóg SPICE szimulátorral
- P(t) alatti terület energia
- CMOS-nál megfelelő

# A teljesítmény-sűrűség számítása

- $\blacktriangleright$  Logikai szimulátorból ightarrow kapcsolási aktivitás
- Δt idő alatti jelváltások száma (n)
- Kapcsolási (dinamikus) energia  $E_{\text{kapcs}} = \int_{T_1}^{T_2} P(t) dt$
- $\blacktriangleright P_{\Delta t} = \frac{E_{\text{kapcs}}}{\Delta t}$
- Δt alatt fogyasztott teljesítmény minden cellára
- $\blacktriangleright P_{\text{átlag}} = n \cdot P_{\Delta t}$
- Pátlag-gal hívjuk meg a termikus szimulátort
- A termikus szimulátor minden Δt időben kiszámítja az eredő hőmérsékleteket
- Δt milliszekundumos nagyságrendű

## Teljesítmény számítása a partíciókban

 Egy partícióban fogyasztott teljesítmény a benne található cellák teljesítményével arányos

![](_page_42_Figure_2.jpeg)

$$P(p00) = 0.05 \cdot P(cell1)$$
  
 $P(p01) = 0.10 \cdot P(cell1)$   
 $P(p10) = 0.21 \cdot P(cell1)$   
 $P(p11) = 0.64 \cdot P(cell1)$ 

#### Hivatkozások

![](_page_43_Picture_1.jpeg)

#### V. Székely.

THERMODEL: a tool for compact dynamic thermal model generation. *Microelectronics Journal*, 29(4–5):257 – 267, 1998. Thermal Investigations of ICs and Microstructures II.

![](_page_43_Picture_4.jpeg)

#### V. Székely, M. Rencz, A. Poppe, and B. Courtois.

THERMODEL: A tool for thermal model generation, and application for MEMS. Analog Integrated Circuits and Signal Processing, 29(1–2):49–59, 2001.

V. Székely, A. Poppe, M. Rencz, M. Rosental, and T. Teszéri.

THERMAN: a thermal simulation tool for IC chips, microstructures and PW boards. *Microelectronics Reliability*, 40(3):517 – 524, 2000.

![](_page_43_Picture_9.jpeg)

V. Székely, A. Páhi, A. Poppe, and M. Rencz.

Electro-thermal simulation with the SISSI package. Analog Integrated Circuits and Signal Processing, 21(1):21–31, 1999.